

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-072994

(43)Date of publication of application : 04.03.2004

(51)Int.Cl.

H02M 9/04  
H03K 17/80

(21)Application number : 2003-056308

(71)Applicant : NGK INSULATORS LTD

(22)Date of filing : 03.03.2003

(72)Inventor : HATANO TATSUHIKO  
SAKUMA TAKESHI  
IDA KATSUJI

(30)Priority

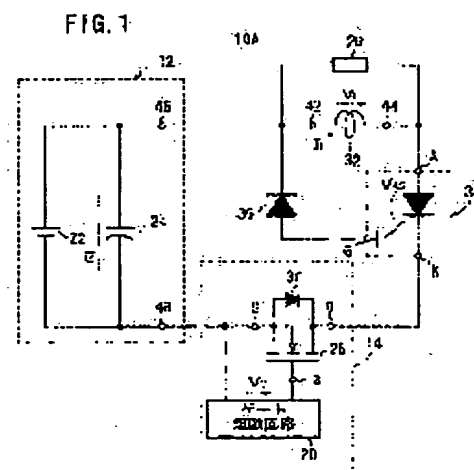
Priority number : 2002171684 Priority date : 12.06.2002 Priority country : JP

## (54) HIGH VOLTAGE PULSE GENERATION CIRCUIT

(57)Abstract:

**PROBLEM TO BE SOLVED:** To supply a high voltage pulse having a steep rising time and an extremely narrow pulse width without using a plurality of semiconductor switches.

**SOLUTION:** The high voltage pulse generation circuit 10A has an inductor 32 connected in series at both ends of a DC power supply 22, a first semiconductor switch 34 and a second semiconductor switch 14, and a diode 36 in which a cathode terminal is connected to the other end 42 of the inductor 32 connected to an anode terminal A of the first semiconductor switch 34 and the anode terminal is connected to a gate terminal of the first semiconductor switch 34. The accumulation of induction energy to the inductor 32 following the continuity of the first semiconductor switch 34 by the turning-on of the second semiconductor switch 14 is executed. Also, the generation of the high voltage pulse at the inductor 32 following the turning-off of the first semiconductor switch 34 by the turning-off of the second semiconductor switch 14.



## LEGAL STATUS

[Date of request for examination]

16.07.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

BEST AVAILABLE COPY

**\* NOTICES \***

**JPO and NCIPi are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1]

The inductor, the 1st solid state switch, and the 2nd solid state switch by which the series connection was carried out to the both ends of the DC-power-supply section,  
The high-voltage pulse generating circuit characterized by having the diode by which the cathode terminal was connected to the other end of said inductor by which the end was connected to the anode terminal of said 1st solid state switch, and the anode terminal was connected to the gate terminal of said 1st solid state switch.

[Claim 2]

The inductor, the 1st solid state switch, and the 2nd solid state switch by which the series connection was carried out to the both ends of the DC-power-supply section,  
The high-voltage pulse generating circuit characterized by having the resistance connected between the other end of said inductor by which the end was connected to the anode terminal of said 1st solid state switch, and the gate terminal of said 1st solid state switch.

[Claim 3]

In a high-voltage pulse generating circuit according to claim 1 or 2,  
Are recording of the inductive energy to said inductor accompanying the flow of said 1st solid state switch by the turn-on of said 2nd solid state switch,  
The high-voltage pulse generating circuit characterized by performing generating of the high-voltage pulse in said inductor accompanying the turn-off of said 1st solid state switch by the turn-off of said 2nd solid state switch.

[Claim 4]

In a high-voltage pulse generating circuit given in any 1 term of claims 1-3,  
Said inductor,  
Primary coil,  
The high-voltage pulse generating circuit characterized by having the secondary coil magnetically combined with said primary coil.

[Claim 5]

In a high-voltage pulse generating circuit according to claim 4,  
Said secondary coil is a high-voltage pulse generating circuit characterized by being more number of turns than the number of turns of said primary coil.

[Claim 6]

In a high-voltage pulse generating circuit given in any 1 term of claims 1-3,  
Said inductor,  
Primary coil,  
The high-voltage pulse generating circuit characterized by having the secondary coil combined without insulating with said primary coil in direct current.

[Claim 7]

In a high-voltage pulse generating circuit according to claim 6,  
the \*\* which does not insulate said secondary coil with said primary coil in direct current -- said primary coil --  
\*\*\*\* -- \*\* -- the high-voltage pulse generating circuit which a guide peg is rolled and carried out and is characterized by being constituted so that it may become.

[Claim 8]

In a high-voltage pulse generating circuit given in any 1 term of claims 1-7,  
Said inductor is a high-voltage pulse generating circuit characterized by having a magnetic-substance core.

[Claim 9]

In a high-voltage pulse generating circuit given in any 1 term of claims 1-8,  
Said 1st solid state switch is a high-voltage pulse generating circuit characterized by having the device of an armature-voltage control form at the time of a current control form and a turn-on at the time of a turn-off.

[Claim 10]

In a high-voltage pulse generating circuit given in any 1 term of claims 1-9,  
Said 1st solid state switch is a high-voltage pulse generating circuit characterized by having the device of a self-extinction of arc form or a commutation extinction of arc form.

[Claim 11]

In a high-voltage pulse generating circuit according to claim 10,  
Said 1st solid state switch is a high-voltage pulse generating circuit characterized by having an electrostatic-induction thyristor.

[Claim 12]

In a high-voltage pulse generating circuit given in any 1 term of claims 1-11,  
Said 2nd solid state switch is a high-voltage pulse generating circuit characterized by having the device of a self-extinction of arc form or a commutation extinction of arc form.

[Claim 13]

In a high-voltage pulse generating circuit according to claim 12,  
said 2nd solid state switch -- power -- public funds -- the high-voltage pulse generating circuit characterized by having a group oxidization semi-conductor field-effect transistor.

[Claim 14]

In a high-voltage pulse generating circuit given in any 1 term of claims 3-13,  
The high-voltage pulse generating circuit characterized by connecting the circuit element which makes said DC power-supply section revive the residual energy in said inductor in the turn-off of said 2nd solid state switch.

[Claim 15]

In a high-voltage pulse generating circuit according to claim 14,  
Said circuit element,  
The high-voltage pulse generating circuit characterized by having the diode by which connected with juxtaposition to said 1st solid state switch, and the cathode terminal was connected to said anode terminal of said 1st solid state switch.

[Claim 16]

In a high-voltage pulse generating circuit according to claim 14,  
Said circuit element,  
The high-voltage pulse generating circuit characterized by having the diode by which the anode terminal was connected between said DC-power-supply section and said 2nd solid state switch, and the cathode terminal was connected to said end of said inductor.

[Claim 17]

In a high-voltage pulse generating circuit given in any 1 term of claims 3-16,  
The high-voltage pulse generating circuit characterized by having the path which carries out commutation of the current which flows to said 1st solid state switch in the turn-off of said 2nd solid state switch.

[Claim 18]

In a high-voltage pulse generating circuit according to claim 17,  
The high-voltage pulse generating circuit characterized by connecting said path to said 1st solid state switch and juxtaposition.

[Claim 19]

In a high-voltage pulse generating circuit according to claim 18,  
Said path is a high-voltage pulse generating circuit characterized by having the capacitor connected between the anode terminal of said 1st solid state switch, and the cathode terminal.

[Claim 20]

In a high-voltage pulse generating circuit according to claim 18,

Said path is a high-voltage pulse generating circuit characterized by having the capacitor connected between the gate terminal of said 1st solid state switch, and the anode terminal.

[Claim 21]

In a high-voltage pulse generating circuit given in any 1 term of claims 1-20,

When the load is connected to said inductor,

The high-voltage pulse generating circuit characterized by connecting the capacitor to said load at juxtaposition

---

[Translation done.]

**\* NOTICES \***

**JPO and NCIPi are not responsible for any damages caused by the use of this translation.**

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention]

This invention relates to the high-voltage pulse generating circuit which can supply the high-voltage pulse which has very short build up time and very narrow pulse width by opening the electromagnetic energy stored up in the inductor from the DC-power-supply section of a low electrical potential difference in easy circuitry.

[0002]

[Description of the Prior Art]

Although the technique of performing deodorization, sterilization, decomposition of harmful gas, etc. has come to be adapted with the plasma by discharge of a high-voltage pulse recently, in order to generate this plasma, the high-voltage pulse generating circuit which can supply the pulse with very narrow width of face of the high voltage is needed.

[0003]

The charging equipment 102 which abbreviation etc. is in the peak value of a high-voltage pulse by carrying out, and generates the direct-current high voltage as the conventional high-voltage pulse generating circuit 100 is shown in drawing 15 , The capacitor 104 charged by the direct-current high voltage from this charging equipment 102, The switch 108 by the semiconductor devices 106, such as two or more electrostatic-induction thyristors (it is hereafter described as SI thyristor) by which series connection was carried out in order to obtain big withstand voltage, It has the load 110 with which the direct-current high voltage charged by the capacitor 104 by high-speed switching of this switch 108 is supplied as a high-voltage pulse (for example, patent reference 1 reference).

[0004]

In order to carry out the turn-on of these semiconductor devices 106, the gate drive circuit 112 is connected to each semiconductor device 106. Moreover, in order to make small imbalance of the assignment electrical potential difference of each semiconductor device 106 by dispersion in the impedance at the time of un-flowing [ of each semiconductor device 106 ], the balancer resistance 114 is connected to the semiconductor device 106 at juxtaposition.

[0005]

That is, the many series circuits 116 which become a serial from two or more semiconductor devices 106 and the balancer resistance 114 to a load 110 are connected to the high-voltage pulse generating circuit 100.

[0006]

On the other hand, as shown in drawing 16 , when the high-voltage pulse generating circuit 118 concerning the example of a proposal carries out the turn-on of the solid state switch 126, the current of the magnitude of abbreviation E/R flows from DC power supply 120 (supply voltage E) to primary coil -> solid state switch 126 -> DC power supply 120 of 1 turn of resistance 136 (resistance R) -> each magnetic-substance core 128.

[0007]

Since the current of the same magnitude also as the secondary coil of 1 turn of each magnetic-substance core 128 flows via the gate-cathode of each semiconductor device 134 according to a transformer operation of the magnetic-substance core 128 at this time, the turn-on of all the semiconductor devices 134 will be carried out to coincidence (for example, nonpatent literature 1 reference).

[0008]

Since the semiconductor device 134 by which series connection was carried out to the solid state switch 126 flows by this, the electrical potential difference of Abbreviation E is impressed to an inductor 138, Current IL increases in the shape of a straight line, and goes, and electromagnetic energy is accumulated in an inductor.

[0009]

The current IL which flows to an inductor 138 increases, and if the turn-off of the solid state switch 126 is carried out, since the path for which the current of an inductor flows tends to be severed in the phase where desired electromagnetic energy was accumulated, the induced voltage by the residual electromagnetic energy of an inductor occurs in reversed polarity.

[0010]

Consequently, diode 140 flows and the current of an inductor comes to flow succeeding in the path of the primary coil -> diode 140 -> inductor 138 of inductor 138 -> each magnetic-substance core 128 of semiconductor device 134 -> each. At this time, the current of the same magnitude also as the secondary coil of each magnetic-substance core flows.

[0011]

That is, as for all the currents that flow into the anode of each semiconductor device 134, to outflow and a cathode, a current will not flow to the gate. This current flows until the charge accumulated in the semiconductor device 134 is emitted. the big voltage drop for a current path in this condition -- not being generated -- time amount -- \*\*\*\* -- since a short time, reduction of the current of an inductor is slight and there is also little reduction of the electromagnetic energy of an inductor.

[0012]

The electrical potential difference between anode-cathodes also takes action steeply for a semiconductor device 134 to shift to an OFF state with emission of this charge, form the depletion layer quickly, and charge an inductor current with the little electric capacity by this. For this reason, an inductor electrical potential difference increases quickly and a current decreases quickly. In other words, the electromagnetic energy of an inductor will shift to the capacity between anode-cathodes of a semiconductor device 134 as electrostatic energy. Since this electrical potential difference is supplied also to a load 142, the electrostatic energy by the electromagnetic energy of an inductor and the capacity between anode-cathodes of a semiconductor device 134 is consumed by the load by the process of this shift.

[0013]

In the high-voltage pulse generating circuit 118, a low battery is sufficient as DC power supply 120, and the turn-on and turn-off of a semiconductor device 134 are performed only with the secondary current of the magnetic-substance core 128, and it enables it for a gate drive circuit to become unnecessary and to simplify equipment.

[0014]

[Patent reference 1]

JP,2002-44965,A ( drawing 3 , drawing 4 )

[Nonpatent literature 1] The Institute of Electrical Engineers of Japan plasma study group, lecture number PST-02-16 No. ( drawing 1 )

[0015]

[Problem(s) to be Solved by the Invention]

However, the conventional high-voltage pulse generating circuit 100 shown in drawing 15 has complicated circuitry. Moreover, the high voltage is impressed to all passive circuit elements including charging equipment 102. Therefore, it is necessary to perform high voltage insulation, such as taking the large distance for insulation. Therefore, there is a problem of causing enlargement of the high-voltage pulse generating circuit 100 and increase-ization of cost.

[0016]

Moreover, when a part of semiconductor device 106 by which the serial was carried out carries out a turn-on by emergency malfunction, there is a possibility that destruction by impression of the overvoltage which exceeded rating to the remaining semiconductor devices 106 may arise, and there is a problem that highly reliable actuation is not expectable.

[0017]

furthermore, from it being necessary to carry out the turn-on of the semiconductor device 106 quickly, in order

to generate the pulse (10kV/(microsecond) or more) which starts very steeply Gap of the impression timing of the gate signal to a semiconductor device 106 and gap of the turn-on time of each semiconductor device 106 Order (2n second and 3n second) also has the problem that the transient-voltage balance at the time of a turn-on collapses greatly, and has extraordinary difficulty compared with the case of the series connection of semiconductor devices (about hundreds of v/(microsecond)), such as the usual inverter.

[0018]

Although a low battery is sufficient as DC power supply 120, they do not have that the electrical potential difference more than withstand voltage is impressed to a semiconductor device 134 in emergency turn-on malfunction etc. and amelioration at the point is made in the high-voltage pulse generating circuit 118 which, on the other hand, starts the example of a proposal shown in drawing 16, it is very difficult to prevent collapse of transient-voltage balance by dispersion in the turn-off time of a semiconductor device 134 at the time of the turn-off performed quickly. That is, the problem accompanying series connection for two or more semiconductor devices exists as usual.

[0019]

Furthermore, since two or more magnetic-substance cores are allotted to the series circuit of diode 140, In a physical distance by this, and a list by existence of the inductance by the leakage between the primary coil of finite and a secondary coil The commutation to the diode 140 of the inductor current by the turn-off of a solid state switch 126 takes time amount. The rate of increase of the turn-off gate current of a semiconductor device 134 will be stopped, while the current was flowing to the cathode of a semiconductor device 134, a depletion layer began (a turn off gain becoming one or more) to spread, and there was a possibility of becoming unstable, in a steep turn-off.

[0020]

This invention is made in consideration of such a problem, and without using two or more solid state switches to which the high voltage is impressed, it is easy circuitry and aims at offering the high-voltage pulse generating circuit which enabled it to supply steep build up time and the high-voltage pulse which has very narrow pulse width.

[0021]

[Means for Solving the Problem]

The high-voltage pulse generating circuit concerning this invention to the both ends of the DC-power-supply section An inductor, The 1st solid state switch (it is desirable that a voltage rating is high as much as possible) and 2nd solid state switch (the low voltage rating which is DC-power-supply electrical-potential-difference extent is sufficient) are connected to a serial. It constitutes from a very easy circuit which connected diode so that it might become the other end of said inductor by which the end was connected to the anode terminal of said 1st solid state switch with an anode at a cathode and the control (gate) terminal of said 1st solid state switch.

[0022]

First, by carrying out the turn-on of said 2nd solid state switch, it flows also through the 1st solid state switch, the electrical potential difference of the DC-power-supply section is impressed to said inductor, and inductive energy is accumulated in this inductor. Then, if the turn-off of said 2nd solid state switch is carried out, in order to carry out the turn-off also of said 1st solid state switch quickly, the high-voltage pulse with very narrow width of face which starts to said inductor very steeply will occur.

[0023]

A high-voltage pulse is generated by said inductor, and the load which receives supply of a high-voltage pulse may be connected or connected to this inductor and juxtaposition at said 1st solid state switch and juxtaposition

[0024]

Moreover, you may make it have the secondary coil magnetically combined with the primary coil and this primary coil in said inductor in this invention. In this invention mentioned above, since abbreviation etc. is in the electrical potential difference generated in said inductor by carrying out and an electrical potential difference is impressed also to said 1st solid state switch, the electrical potential difference generated in said inductor cannot be set up more than the withstand voltage of said 1st solid state switch.

[0025]

Therefore, when the output voltage beyond this is required, said secondary coil is made into more number of turns than the number of turns of said primary coil, and it is made to generate the high-voltage pulse which has an electrical potential difference higher than the withstand voltage of said 1st solid state switch in the secondary coil of this inductor.

[0026]

Moreover, you may make it have the secondary coil combined without insulating the secondary coil of said inductor with a primary coil in direct current in this invention. In this case, a primary coil -- \*\*\*\* -- \*\* -- a secondary coil is coiled and added so that it may become, and you may make it take out the high-voltage pulse which has the electrical potential difference by which the both ends of a primary coil and a secondary coil were totaled

[0027]

And in order for \*\*\*\*\* to make dense magnetic coupling between a primary coil and a secondary coil when it constitutes an inductor using an above-mentioned primary coil and an above-mentioned secondary coil, and to control generating of leakage flux, as for an inductor, it is desirable to suppose that a magnetic-substance core is entered.

[0028]

Here, the device used as the 1st solid state switch is explained briefly. In this invention, the device of the device of a current control form, a self-extinction of arc form, or a commutation extinction of arc form can be used as the 1st solid state switch. Specifically, SI thyristor, GTO (gate turn-off thyristor) and SIT (static induction transistor), a bipolar transistor, a thyristor, etc. can be used. SI thyristor is suitable, when it is said current control form like GTO also in it, and the thyristor of a self-extinction of arc form is suitable and a device with an early turn-on turn-off rate is especially required for generating of a shortest breadth pulse. When this SI thyristor has the comparatively loose current R/C at the time of a turn-on, the turn-on by the electric field effect of it becomes possible only by impressing some forward electrical potential difference between gate-cathodes.

[0029]

Moreover, on the occasion of a turn-off, it is beginning to pass a current from the gate, and the charge accumulated in the interior of a device is extinguished, a depletion layer is formed, and a turn-off is attained. When it is used for the usual inverter etc., a turn-off can be attained, if the drawing of a charge is completed even if one or more, i.e., gate current, has a turn off gain smaller than anode current and the rate of increase of this current is not large.

[0030]

However, when a steep turn-off needs to be performed like a pulse power application, it is necessary to attain that this turn-off gate current is the same as anode current (a turn off gain is 1 in this case), and the ideal and stabilized turn-off when cathodic current serves as zero before the drawing of the charge which was increased quickly more greatly than it (a turn off gain is one or less in this case), and was accumulated in the interior of a device is completed.

[0031]

however -- usually -- anode current -- large -- therefore, a turn off gain -- 1 thru/or less than [ it ] -- and -- being steep (time amount until it becomes equal to anode current about tenn second less than) -- in order to carry out a turn-off, it is very difficult to pass such a current from the gate in the usually used gate drive circuit, and it is no practical.

[0032]

The high-voltage pulse generating circuit concerning this invention has the function which can make a turn off gain one or less seemingly, without using such a gate drive circuit.

[0033]

On the other hand, as the 2nd solid state switch, the device of a self-extinction of arc form or a commutation extinction of arc form can be used. For example, the metal oxidization semi-conductor field-effect transistor for power is suitable.

[0034]

Moreover, you may make it connect the circuit element which makes said DC-power-supply section revive the residual energy in said inductor in the turn-off of said 2nd solid state switch in this invention.

[0035]



In this case, said circuit element is connected to juxtaposition to said 1st solid state switch. And may make it have the diode by which the cathode terminal was connected to said anode terminal of said 1st solid state switch, and Or you may make it have the diode by which the anode terminal was connected between said DC-power-supply section and said 2nd solid state switch, and the cathode terminal was connected to said end of said inductor.

[0036]

If the load is connected to the residual energy in said inductor, for example, an inductor, by this configuration, actuation which returns the excessive energy (energy which is not used) of this load to the DC-power-supply section will be performed, and it will contribute to efficient-ization of a power source.

[0037]

Moreover, you may make it have the path to which commutation of the current which flows to said 1st solid state switch in the turn-off of said 2nd solid state switch is carried out in this invention. This path may be connected to said 1st solid state switch and juxtaposition.

[0038]

In this case, you may make it said path have the capacitor which you may make it have the capacitor connected between the anode terminal of said 1st solid state switch, and the cathode terminal, or was connected between the gate terminal of said 1st solid state switch, and the anode terminal.

[0039]

Thereby, the operating duty of the 1st solid state switch can be mitigated, and reduction of the switching loss of the 1st solid state switch and improvement in a current cutoff tolerated dose can be aimed at. Especially the improvement in a current cutoff tolerated dose leads to large capacity-ization of a pulse power source.

[0040]

Moreover, although the excitation inductance of an inductor will be joined by big surge voltage at the 1st solid state switch when the 1st solid state switch intercepts a high current at high speed, by connecting an above-mentioned path, said surge voltage can be stopped and improvement in the dependability of the 1st solid state switch can be aimed at.

[0041]

And although the voltage buildup rate ( $dv/dt$ ) at the time of a turn-off may not be able to be made not much high depending on the 1st solid state switch to be used, it can adjust by the capacity of said capacitor to the voltage buildup rate ( $dv/dt$ ) of the level which can permit the 1st solid state switch used for an above-mentioned path by connecting a capacitor.

[0042]

In addition, when a capacitor is connected to said path, since many of energy which remained in the capacitor is revived by the DC-power-supply section, there is little degradation by connecting a capacitor to said path.

[0043]

Moreover, when the load is connected to said inductor, you may make it connect a capacitor to said load in this invention at juxtaposition. In this case, after current cutoff operating by the 1st solid state switch, it becomes easy to commutate the excitation inductance of an inductor to a load. In this case, the reduction of switching loss and the improvement in a current cutoff tolerated dose in the 1st solid state switch can be aimed at like the effectiveness which connected the path mentioned above. Moreover, the energy accumulated in the load at said excitation inductance can be absorbed, and the surge voltage generated in an excitation inductance can be controlled. Since many of energy which remained in the capacitor also in this case is revived by the DC-power-supply section, there is little degradation by connecting a capacitor to said path.

[0044]

Moreover, you may make it the high-voltage pulse generating circuit concerning this invention have the resistance connected between the inductor, the 1st solid state switch and the 2nd solid state switch by which the series connection was carried out to the both ends of the DC-power-supply section, and the other end of said inductor by which the end was connected to the anode terminal of said 1st solid state switch and the gate terminal of said 1st solid state switch.

[0045]

Thereby, when carrying out the turn-on of the 2nd solid state switch, the turn-on of the 1st solid state switch can be carried out more certainly. Although a turn-on is not carried out unless it slashes a current into the gate when

the 1st solid state switch is especially constituted from a device of a current control form, the turn-on of the 1st solid state switch can be certainly carried out by connecting resistance as mentioned above.

[0046]

In addition, in the configuration using above-mentioned resistance, when supply voltage used in the DC-power-supply section is made into the high voltage, it can constitute from low cost.

[0047]

[Embodiment of the Invention]

Hereafter, the example of a gestalt of some operations of the high-voltage pulse generating circuit concerning this invention is explained, referring to drawing 1 - drawing 14.

[0048]

High-voltage pulse generating circuit 10A concerning the gestalt of the 1st operation To the both ends 42 and 44 of the DC-power-supply section 12 which has the capacitor 24 which makes low DC power supply 22 and a high frequency impedance The other end 42 of an inductor 32 which carries out the series connection of an inductor 32, the 1st solid state switch 34, and the 2nd solid state switch 14 and by which the end 44 was further connected to the anode terminal A of the 1st solid state switch 34, Insertion connection of the diode 36 is made, and the load 20 which needs a high-voltage pulse is connected and constituted by an inductor 32 and juxtaposition so that the control terminal G side may serve as an anode between the control terminals (gate terminal) G of the 1st solid state switch 34.

[0049]

Although the 2nd solid state switch 14 is formed in the negative-electrode terminal 48 side of the DC-power-supply section 12 in the example of drawing 1, even if it prepares in the positive-electrode terminal 46 side, it cannot be overemphasized that the same effectiveness is brought about. Moreover, a load 20 is not in parallel with an inductor 32, either, and may be connected to the 1st solid state switch 34 and juxtaposition.

[0050]

Although the device of a self-extinction of arc form or a commutation extinction of arc form can be used for the 2nd solid state switch 14 The group oxidization semi-conductor field-effect transistor (it is hereafter described as power metal-oxide semiconductor field effect transistor) 26 is used. the power in which the avalanche form diode 30 was built by reverse juxtaposition with the gestalt of this 1st operation -- public funds -- with this power metal-oxide semiconductor field effect transistor 26 It connects with gate terminal G of power metal-oxide semiconductor field effect transistor 26, and the source terminal S, and consists of gate drive circuits 28 which control ON and OFF of power metal-oxide semiconductor field effect transistor 26.

[0051]

Although the device of the device of a current control form, a self-extinction of arc form, or a commutation extinction of arc form can be used for the 1st solid state switch 34, with the gestalt of this 1st operation, high SI thyristor of a voltage rating is used for it very greatly [ the tolerated dose to the voltage buildup rate (dv/dt) at the time of a turn-off ].

[0052]

Next, the time amount progress whose high-voltage pulse generating circuit 10A concerning the gestalt of this 1st operation supplies the high-voltage pulse VL to a load 20 is explained, referring to the circuit diagram of drawing 1, and the wave form chart of drawing 2 A - drawing 2 E of operation.

[0053]

first, the time t -- in 0, a control signal Vc (refer to drawing 2 E) is supplied between the gate-sources of power metal-oxide semiconductor field effect transistor 26 from the gate drive circuit 28, and power metal-oxide semiconductor field effect transistor 26 is turned on from OFF (refer to drawing 2 D).

[0054]

At this time, the turn-on of the 1st solid state switch 34 is carried out with the very big impedance of the reversed polarity of diode 36 according to the electric field effect just impressed between Gate G and Cathode K. Since the standup of the anode current of the 1st solid state switch 34 is controlled by the inductor 32, a turn-on only with the normal electric field effect is performed. In addition, it cannot be overemphasized that resistance may be connected to diode 36 and juxtaposition, or gate current may be positively passed from other power sources to gate terminal G of the 1st solid state switch 34 through resistance.

[0055]

thus, the time  $t$  -- if the 2nd solid state switch 14 and 1st solid state switch 34 flow in 0, the abbreviation DC-power-supply electrical potential difference  $E$  will be impressed to an inductor 32, and if the inductance of an inductor 32 is set to  $L$ , as shown in drawing 2 A, the current  $I_L$  of an inductor 32 will increase in the shape of a straight line in connection with the passage of time with inclination ( $EL$ ).

[0056]

said current  $I_L$  -- Time  $t$  -- if a current serves as  $I_p (= ET_0/L)$  by 1 and desired electromagnetic energy ( $= LI_p 2/2$ ) is obtained, the control signal supply from the gate drive circuit 28 will be suspended, and the turn-off of the power metal-oxide semiconductor field effect transistor 26 will be carried out (refer to drawing 2 E).

[0057]

If the suspension inductance (mainly wiring inductance) which is not illustrated other than inductor 32 which exists in the conduction path of said current  $I_L$  at this time is large, power metal-oxide semiconductor field effect transistor 26 will not be in a cut off state in an instant, but a little, if there is time amount to which a current continues flowing, the output capacitance of power metal-oxide semiconductor field effect transistor 26 is charged and the avalanche electrical potential difference of diode 30 is reached, it will flow, while this diode 30 had had an avalanche electrical potential difference, and big loss will be generated. For this reason, it is made for diode 30 not to result to an avalanche, and an almost ideal turn-off is made to be performed by reducing said suspension inductance as much as possible.

[0058]

Since the current from the cathode K of the 1st solid state switch 34 also becomes zero, i.e., an open condition, when power metal-oxide semiconductor field effect transistor 26 carries out a turn-off, Although the current  $I_L$  which was flowing to the inductor 32 is intercepted and an inductor 32 tends to generate reverse induced voltage by residual electromagnetic energy Diode 36 acts and the current  $I_L$  of an inductor 32 is commutated to the path of the cathode of the anode -> diode 36 of the gate G-> diode 36 of the anode A-> 1st solid state switch 34 of the 1st solid state switch 34.

[0059]

In this case, it is necessary to also make low the suspension inductance of the branch circuit where diode 36 exists, and as much as possible, it is necessary to consider it so that commutation may be completed for a short time. The 1st solid state switch 34 has few voltage drops of the above-mentioned path, in order to maintain switch-on between the anode-gates of the 1st solid state switch 34 until the charge is accumulated by the current which was flowing until now and this charge serves as zero (storage period).

[0060]

Therefore, although there is almost no reduction of said current  $I_L$  within the short storage period (time amount  $T_1$  of drawing 2 A) of time amount since the reverse induced voltage  $V_L$  of an inductor 32 is stopped by the sufficiently low value, this time amount  $T_1$  is decided by the amount of charges drawn out from gate terminal [ of the 1st solid state switch 34 ] G. Therefore, it is necessary to make the turn off gain on a sink and appearance or less into one for the biggest possible current (for more than anode current to be unable to pass in the case of the gestalt of this 1st operation) steeply, to shorten time amount  $T_1$ , and to suppress reduction of the current  $I_L$  of an inductor 32 as much as possible.

[0061]

Time  $t$  -- the drawing of the charge accumulated in the interior of the 1st solid state switch 34 by 2 is completed and a depletion layer starts breadth and turn-off actuation from a gate side to an anode side in a cathode side list With the amount decided by built-in potential, the electrical potential difference concerning junction increases, a depletion layer is expanded as a turn-off advances, and finally it reaches near the anode.

[0062]

Therefore, the electric capacity by the depletion layer changes from the saturation state (switch-on) in which many active charges exist to the little electric capacity decided by structure. The current by the electromagnetic energy of an inductor 32 flows to the anode -> gate succeedingly, and charges the electric capacity of this depletion layer. For large electric capacity, although this charge electrical potential difference  $V_{AG}$ , i.e., the electrical potential difference between the anode-gates of the 1st solid state switch 34, rises comparatively gently, it rises quickly with the flare of a depletion layer in the beginning.

[0063]

Time  $t$  -- if Current  $I_L$  becomes zero by 3, as shown in drawing 2 B and drawing 2 C, electrical potential

differences VAG and VL will serve as max, and will serve as VAP and VLP, respectively. It means that all the electromagnetic energy of an inductor 32 had shifted to the electric capacity of the depletion layer of the 1st solid state switch 34 at this time.

[0064]

Moreover, since this phenomenon is resonance actuation by the inductance of an inductor 32, and the electric capacity of the 1st solid state switch 34, in the current IL of an inductor 32, a cosine wave and the electrical potential difference VAG between the anode-gates of the 1st solid state switch 34 serve as a sinusoidal form mostly.

[0065]

Therefore, the width of face of the pulse generated for the load of this inductor 32 and juxtaposition in inductor 32 list is controllable by choosing the value of the inductance of the inductor 32 which can determine a constant freely. That is, if equivalent capacity of the electric capacity of the 1st solid state switch 34 is set to C, it is pulse width Tp,

[0066]

[Equation 1]

$$Tp \cong \pi \sqrt{LC}$$

[0067]

It becomes.

[0068]

Time t -- the charge stored in the electric capacity of the depletion layer of the 1st solid state switch 34 charged by Maximum VAP by 3 -- continuation of resonance phenomena -- an inductor 32 and stored charge -- hard flow -- the path of the diode 36 of switch-on -- discharge -- starting -- Time t -- diode 36 carries out reverse recovery by 4, and it continues until it is un-flowing. Time t -- if energy remains by 4 in the electric capacity of the depletion layer of an inductor 32 and the 1st solid state switch 34, the current by this energy will flow in the path of the cathode K-> anode A of the diode 30 -> 1st solid state switch 34 of the DC-power-supply section 12 -> 2nd solid state switch 14.

[0069]

It becomes regeneration actuation, the energy which remains in the electric capacity of the depletion layer of an inductor 32 and the 1st solid state switch 34 is revived, and time amount T four which flows in the DC-power-supply section 12 contributes to improvement in operation effectiveness greatly. Therefore, the reverse recovery time of diode 36 is shortened as much as possible, and it becomes important to shorten time amount T3.

[0070]

Although it is the thing of linearity like a resistance load equivalent and the load 20 was explained by the above explanation, as it is shown in drawing 5, by nonlinear thing [ like a discharging gap 50 ] whose load 20 is, load impedance decreases rapidly during the rise of an electrical potential difference, and although a subsequent wave becomes a thing different from drawing 2 B or drawing 2 C, it turns into a wave of the shape of a pulse with pulse width narrower than the wave of drawing 2 B or drawing 2 C in this case.

[0071]

By the way, in high-voltage pulse generating circuit 10A concerning the gestalt of the 1st operation shown in drawing 1, since the electrical potential difference VAK between anode-cathodes of the 1st solid state switch 34 is almost the same as the electrical potential difference of an inductor 32, in an inductor 32, the pulse output of the electrical potential difference more than the tolerated dose of the electrical potential difference VAK between anode-cathodes of this 1st solid state switch 34 cannot be carried out.

[0072]

Then, the high-voltage pulse generating circuits 10B and 10C concerning the gestalt of the 2nd shown in drawing 3 and drawing 4 and the 3rd operation become suitable to output the electrical potential difference more than the tolerated dose of the electrical potential difference VAK between anode-cathodes of the 1st solid state switch 34.

[0073]

First, although high-voltage pulse generating circuit 10B concerning the gestalt of this 2nd operation has the almost same configuration as high-voltage pulse generating circuit 10A concerning the gestalt of the 1st operation mentioned above as shown in drawing 3, it differs in that an inductor 32 is magnetically combined with the primary coil 33 and this primary coil 33, and it has the secondary coil 38 of more number of turns than the number of turns of the primary coil 33.

[0074]

the \*\* which an inductor 32 does not insulate in direct current to the primary coil 33 and this primary coil 33 as high-voltage pulse generating circuit 10B concerning the gestalt of the 3rd operation is shown in drawing 4 on the other hand -- the primary coil 33 -- \*\*\*\* -- \*\* -- it differs in that it has the secondary coil 38 which coiled and carried out the guide peg so that it might become.

[0075]

In the gestalt of these [ 2nd ] and the 3rd operation, in order to make dense magnetic coupling between the primary coil 33 and the secondary coil 38 and to control generating of leakage flux, twisting around a magnetic-substance core is desirable.

[0076]

And in high-voltage pulse generating circuit 10B which starts [ number of turns / of the primary coil 33 ]  $N_2$ , then the gestalt of this 2nd operation in the number of turns of 1 or secondary  $N$  coil, the electrical potential difference of  $VAG \times N_2 / N_1$  can be outputted to a load 20. On the other hand, in the case of high-voltage pulse generating circuit 10C concerning the gestalt of the 3rd operation, the electrical potential difference of  $VAG \times (N_1 + N_2) / N_1$  can be outputted to a load 20.

[0077]

In addition, although the number of turns of the secondary coil 38 were made [ many ] and made into additive polarity rather than the number of turns of the primary coil 33 with the gestalt of the 2nd operation, the number of turns of the secondary coil 38 are made fewer than the number of turns of the primary coil 33, and it is good also as subtractive polarity.

[0078]

moreover, the \*\* which does not insulate the secondary coil 38 in direct current to this primary coil 33 with the gestalt of the 3rd operation -- the primary coil 33 -- \*\*\*\* -- \*\* -- the guide peg was wound and carried out and constituted so that it might become, but as it winds, the secondary coil 38 may be constituted so that it may be depolarized at the primary coil 33.

[0079]

This can realize the secondary coil 38 by twisting for example, around a magnetic-substance core to the reverse sense with the case of \*\*\*\*. Thereby, the sense of the positive electrode of an outgoing end and a negative electrode becomes reverse. therefore -- \*\*\*\* -- to output voltage  $=VAG \times$  at the time  $(N_1 + N_2) / N_1$ , it is set to output voltage  $=VAG \times (N_1 - N_2) / N_1$ , and becomes subtractive polarity. The configuration of this subtractive polarity is effective when the solid state switch which has the super-high pressure-proofing which used the compound semiconductor etc. as the 1st solid state switch 34 is applied.

[0080]

Next, it explains, referring to drawing 5 - drawing 7 about high-voltage pulse generating circuit 10D concerning the gestalt of the 4th operation. In addition, explanation of high-voltage pulse generating circuit 10D concerning the gestalt of this 4th operation explains the case where a discharging gap 50 is used as a load 20.

[0081]

Although high-voltage pulse generating circuit 10D concerning the gestalt of this 4th operation has the almost same configuration as high-voltage pulse generating circuit 10B (refer to drawing 3) concerning the gestalt of the 2nd operation mentioned above, as shown in drawing 5, it differs in that it has the diode 52 connected to juxtaposition to the 1st solid state switch 34. An anode terminal and a cathode terminal are connected to the 1st cathode terminal and anode terminal of a solid state switch 34, and antiparallel connection of this diode 52 is carried out to the 1st solid state switch 34.

[0082]

Although what connected two diodes 36a and 36b to juxtaposition is used in the example of drawing 5 as diode 36 connected with the other end 42 of an inductor 32 between the gate electrodes G of the 1st solid state switch

34, the operation and a function are almost the same as the diode 36 in high-voltage pulse generating circuit 10A concerning the gestalt of the 1st operation.

[0083]

And also in high-voltage pulse generating circuit 10D concerning the gestalt of this 4th operation, by turning on power metal-oxide semiconductor field effect transistor 26, as shown in the path 54 of drawing 5, a current flows to the excitation inductance of an inductor 32, and energy is accumulated. Then, in turning off power metal-oxide semiconductor field effect transistor 26, as shown in the path 56 of drawing 5, the current which was flowing for the cathode terminal K from the anode terminal A of the 1st solid state switch 34 will commute to gate terminal G from the anode terminal A, the charge which remains inside the 1st solid state switch 34 will be drawn out from the gate, and the 1st solid state switch 34 will carry out a turn-off.

[0084]

When the 1st solid state switch 34 carries out a turn-off, as shown in drawing 6, the current which was flowing to the excitation inductance of an inductor 32 commutates to a load 20 through an inductor 32. At this time, a big pulse voltage will occur in an inductor 32, and discharge will occur in the discharging gap 50 of a load 20.

[0085]

Since the capacity component on which the general solid state switch containing the 1st solid state switch 34 is parasitic exists at this time, not all the currents to commute flow for a load 20, and a current flows for charge of the parasitic capacitance of the 1st solid state switch 34.

[0086]

Although energy is consumed by discharge when a load 20 is a capacitive load like a discharging gap 50, all may not be consumed or energy may remain mostly, without discharge taking place.

[0087]

In this case, the remaining charge is emitted through the excitation inductance of an inductor 32 (a current is flow to the excitation inductance of an inductor 32), and energy moves to the excitation inductance of an inductor 32 again.

[0088]

When the charge with which the load 20 was covered is lost and energy finishes moving to an excitation inductance, as shown in drawing 7, a current will flow in two paths (the 1st and 2nd paths 60 and 62).

[0089]

The 1st path 60 is a path which faces to a load 20 once again, and the 2nd path 62 is a path which ties the DC-power-supply section 12, the reverse juxtaposition diode 30 of power metal-oxide semiconductor field effect transistor 26, and the diode 52 connected to reverse juxtaposition at the 1st solid state switch 34.

[0090]

However, the electrical potential difference generated in an inductor 32 at this time is clamped on the electrical potential difference produced for the DC-power-supply section 12 and two diodes 30 and 52, and many of currents flow for the 2nd path 62. The flow of the current which leads this 2nd path 62 becomes the actuation which revives energy to the capacitor 24 of the DC-power-supply section 12 in drawing 7.

[0091]

That is, it will be called actuation of returning the excessive energy (energy which is not used) of a load to the DC-power-supply section 12, and contributes to efficient-ization of the DC-power-supply section 12.

[0092]

Moreover, in practice, if said diode 52 cannot be found, there is a bad influence of the 2nd solid state switch 14 malfunctioning in the noise of the shape of a pulse which it resonates by the excitation inductance and load 20 of an inductor 32, and there is a possibility that the reverse voltage which exceeds pressure-proofing to the 1st solid state switch 34 as a result may be impressed, and is superimposed at this time again. Therefore, it is desirable to connect said diode 52 also for processing of the energy of an excitation inductance.

[0093]

Although high-voltage pulse generating circuit 10D concerning the gestalt of the 4th operation of a \*\*\*\* showed the case where diode 52 was connected to reverse juxtaposition to the 1st solid state switch 34 In addition, you may make it have the diode 64 by which the anode terminal was connected to the negative-electrode terminal 48 of the DC-power-supply section 12, and the cathode terminal was connected to the end of an inductor 32 like high-voltage pulse generating circuit 10E concerning the gestalt of the 5th operation shown

in drawing 8 .

[0094]

In this case, a current will flow in the path 66 which ties the DC-power-supply section 12 and diode 64, and energy will be revived by the DC-power-supply section 12. Especially, in this example, there are there being little loss at the time of regeneration, since the number of the diodes connected to the path of the current which is revived unlike an above-mentioned example (refer to drawing 5 ) is one (diode 64), and an advantage that regeneration effectiveness becomes good since wiring of the path of said current to revive can be shortened structural.

[0095]

Next, the high-voltage pulse generating circuits 10F and 10G concerning the gestalt of the 6th and the 7th operation are explained, referring to drawing 9 - drawing 12 B.

[0096]

First, although high-voltage pulse generating circuit 10F concerning the gestalt of the 6th operation have the almost same configuration as high-voltage pulse generating circuit 10D (refer to drawing 5 ) concerning the gestalt of the 4th operation mentioned above, as shown in drawing 9 , they differ between the anode terminal of the 1st solid state switch 34, and a cathode terminal in that the capacitor 68 is connected to this 1st solid state switch 34 and juxtaposition.

[0097]

On the other hand, high-voltage pulse generating circuit 10G concerning the gestalt of the 7th operation differ between the anode terminal of the 1st solid state switch 34, and a gate terminal in that the capacitor 70 is connected to this 1st solid state switch 34 and juxtaposition, as shown in drawing 10 .

[0098]

Also in the high-voltage pulse generating circuits 10F and 10G concerning the gestalt of the 6th and the 7th operation, by and the thing for which power metal-oxide semiconductor field effect transistor 26 is turned off. Although the current which was flowing for the cathode terminal from the anode terminal of the 1st solid state switch 34 will commutate to a gate terminal from an anode terminal, the charge which remains inside the 1st solid state switch 34 will be drawn out from the gate and the 1st solid state switch 34 will shift to a turn-off. At this time, as shown in drawing 11 , the current  $I_A$  which was flowing to the 1st solid state switch 34. It will commutate to the path 74 (in the case of the gestalt of the 7th operation shown in drawing 10 ) to which the path 72 (in the case of the gestalt of the 6th operation shown in drawing 9 ) or capacitor 70 to which the capacitor 68 was connected was connected, and the operating duty of the 1st solid state switch 34 will be mitigated by this.

[0099]

Although the anode current  $I_A$  which is flowing to the 1st solid state switch 34 is reduced with OFF of power metal-oxide semiconductor field effect transistor 26 as shown in drawing 12 A when not connecting said capacitor 68 or 70, as the electrical potential difference  $V_{AK}$  between anode-cathodes of the 1st solid state switch 34 is shown in a broken line A, it will start to coincidence steeply mostly with OFF of power metal-oxide semiconductor field effect transistor 26. Overshoot (pulse distortion) arises at the time of this standup, and as shown in the broken line C of drawing 12 B, the switching loss (electrical-potential-difference x current) of the 1st solid state switch 34 becomes large. On the other hand, when a capacitor 68 or 70 is connected, since the standup of the electrical potential difference  $V_{AK}$  between anode-cathodes becomes loose as shown in the continuous line B of drawing 12 A, as shown in the continuous line D of drawing 12 B, the switching loss of the 1st solid state switch 34 is reduced sharply.

[0100]

That is, reduction of the switching loss of the 1st solid state switch 34 and improvement in a current cutoff tolerated dose can be aimed at by connecting said capacitor 68 or 70.

[0101]

Especially the improvement in a current cutoff tolerated dose leads to large capacity-ization of a pulse power source. That is, the energy accumulated in the excitation inductance of an inductor 32 is because the breaking current of the 1st solid state switch 34 is large to the output capacitance of a power source since it is decided by  $1/2 \times (\text{excitation inductance}) \times (\text{breaking current of 1st solid state switch 34})^2$ , and it influences.

[0102]

Moreover, when the 1st solid state switch 34 intercepts a high current at high speed, big surge voltage (pulse

output) joins the excitation inductance of an inductor 32 at the 1st solid state switch 34. Although there is naturally a possibility of having a bad influence on this 1st solid state switch 34 when the electrical potential difference more than a voltage rating is impressed to the 1st solid state switch 34, by connecting a capacitor 68 or 70, as mentioned above, said surge voltage can be stopped and improvement in the dependability of the 1st solid state switch 34 can be aimed at.

[0103]

Moreover, depending on the 1st solid state switch 34 to be used, the voltage buildup rate (dv/dt) at the time of a turn-off may not be able to be made not much high. By connecting a capacitor 68 or 70 to juxtaposition to the 1st solid state switch 34 as mentioned above, it can adjust by said capacitor 68 or the capacity of 70, and the degree of freedom of a design can be extended to the more than voltage buildup rate/microsecond of the level which can permit the 1st solid state switch 34 to be used (dv/dt), for example, 1kV.

[0104]

In addition, when said capacitor 68 or 70 is connected, since many of energy which remained in a capacitor 68 or 70 is revived by the DC-power-supply section 12, there is little degradation by connecting said capacitor 68 or 70.

[0105]

Next, it explains, referring to drawing 13 about high-voltage pulse generating circuit 10H concerning the gestalt of the 8th operation.

[0106]

Although high-voltage pulse generating circuit 10H concerning the gestalt of this 8th operation have the almost same configuration as high-voltage pulse generating circuit 10D (refer to drawing 5 ) concerning the gestalt of the 4th operation mentioned above, as shown in drawing 13 , they differ in that the capacitor 76 is connected to a load 20 and juxtaposition.

[0107]

Although the current which was flowing to the excitation inductance of an inductor 32 when the 1st solid state switch 34 carried out a turn-off also in this case will commutate to a load 20 through an inductor 32, after current cutoff operating by the 1st solid state switch 34, it becomes easy to commutate the current which is flowing to the excitation inductance to a load 20 by connecting a capacitor 76 to a load 20 at juxtaposition. Consequently, like the high-voltage pulse generating circuits 10F and 10G concerning the gestalt of the 6th mentioned above and the 7th operation, miniaturization of the 1st solid state switch 34, reduction of switching loss, and improvement in a current cutoff tolerated dose can be aimed at, and it leads also to large capacity-ization of a pulse power source.

[0108]

Moreover, when the 1st solid state switch 34 intercepts a high current at high speed, big surge voltage (pulse output) joins the excitation inductance of an inductor 32 at the 1st solid state switch 34. However, the energy accumulated in the excitation inductance of an inductor 32 can be absorbed by connecting a capacitor 76 to a load 20 at juxtaposition, and the surge voltage generated in an excitation inductance can be controlled.

[0109]

Moreover, since many of energy which remained in the capacitor 76 also in this case is revived by the DC-power-supply section 12, there is little degradation by connecting said capacitor 76.

[0110]

However, since it influences greatly at the pulse width of a pulse output, and the standup of a pulse voltage, connecting a capacitor 76 to juxtaposition at a load 20 has desirable setting of the capacitor 76 suitable for a specification.

[0111]

Next, it explains, referring to drawing 14 about high-voltage pulse generating circuit 10I concerning the gestalt of the 9th operation.

[0112]

Although high-voltage pulse generating circuit 10I concerning the gestalt of this 9th operation has the almost same configuration as high-voltage pulse generating circuit 10A (refer to drawing 1 ) concerning the gestalt of the 1st operation mentioned above, it differs at the point which the component connected between gate terminal G of the 1st solid state switch 34 and the other end 42 of an inductor 32 considered as resistance 78 instead of



diode 36.

[0113]

In this case, when power metal-oxide semiconductor field effect transistor 26 is made to turn on, the turn-on of the 1st solid state switch 34 can be carried out more certainly. Although a turn-on is not carried out unless it slushes a current into the gate when the 1st solid state switch 34 is especially constituted from a device of a current control form, the turn-on of the 1st solid state switch 34 can be certainly carried out by connecting resistance 78 as mentioned above.

[0114]

In addition, in the configuration using the above-mentioned resistance 78, when supply voltage used in the DC-power-supply section 12 is made into the high voltage, it can constitute from low cost. That is, when diode 36 is connected between gate terminal G of the 1st solid state switch 34, and the other end 42 of an inductor 32, although two or more diodes are connected to a serial or diode (it is generally expensive) with high pressure-proofing is required on the problem of pressure-proofing of diode 36, if it is resistance 78, it will end with low cost comparatively to use the high voltage as supply voltage used in the DC-power-supply section 12.

[0115]

Thus, the high-voltage pulse generating circuits 10A-10I concerning the gestalt of the 1st - the 9th operation are advantages with big not needing the gate drive circuit by the electronic circuitry where only the 1st one solid state switch 34 is moreover usually used for the gate drive of this 1st solid state switch 34 as a solid state switch by which the high voltage is impressed to the conventional high-voltage pulse generating circuit 100 list as compared with the high-voltage pulse generating circuit 118 concerning the example of a proposal.

[0116]

Moreover, the parts to which the high voltage is generated or supplied are only the anode terminal A of the 1st solid state switch 34, and the end 44 of an inductor 32, and all other circuit elements of the high-voltage pulse generating circuits 10A-10I concerning the gestalt of the 1st - the 9th operation are good at the passive circuit elements of a low-battery specification.

[0117]

For example, case [ like the plasma decomposition by the pulse discharge of the exhaust gas of an automobile ], it is enough, if it can operate even from the about [ 42V ] DC power supply which are the dc-batteries of an automobile and there is also a number 10-V voltage rating of components. The capacitor charging equipment 102 is needed as DC power supply, and this equipment is usually very expensive in especially the conventional high-voltage pulse generating circuit 100 shown in drawing 15.

[0118]

Therefore, the plasma generator for decomposition of harmful gas etc. starts very steeply in a short time, and the high-voltage pulse generating circuits 10A-10I concerning the gestalt of the 1st - the 9th operation can be used suitable for what needs the pulse which has a high voltage buildup rate (dv/dt).

[0119]

In addition, the high-voltage pulse generating circuit concerning this invention of the ability of various configurations to be taken is natural, without deviating not only from the gestalt of above-mentioned operation but from the summary of this invention.

[0120]

[Effect of the Invention]

It becomes possible to supply steep build up time and the high-voltage pulse which has very narrow pulse width by easy circuitry, without using two or more solid state switches to which the high voltage is impressed according to the high-voltage pulse generating circuit concerning this invention, as explained above.

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing the high-voltage pulse generating circuit concerning the gestalt of the 1st operation.

[Drawing 2] Drawing 2 A - drawing 2 E is drawing explaining the electrical potential difference of each part of the high-voltage pulse generating circuit concerning the gestalt of the 1st operation, and the wave of a current of operation.

[Drawing 3] It is drawing showing the high-voltage pulse generating circuit concerning the gestalt of the 2nd operation.

[Drawing 4] It is drawing showing the high-voltage pulse generating circuit concerning the gestalt of the 3rd operation.

[Drawing 5] It is drawing showing the high-voltage pulse generating circuit concerning the gestalt of the 4th operation.

[Drawing 6] It is the explanatory view showing the condition that the current which was flowing to the excitation inductance of an inductor commutates to a load through an inductor.

[Drawing 7] It is the explanatory view showing regeneration actuation of energy.

[Drawing 8] It is drawing showing the high-voltage pulse generating circuit concerning the gestalt of the 5th operation.

[Drawing 9] It is drawing showing the high-voltage pulse generating circuit concerning the gestalt of the 6th operation.

[Drawing 10] It is drawing showing the high-voltage pulse generating circuit concerning the gestalt of the 7th operation.

[Drawing 11] The current which was flowing to the 1st solid state switch is the explanatory view showing the condition of commutating to a capacitor.

[Drawing 12] Drawing 12 A is the property Fig. showing the difference in change of the electrical potential difference between anode-cathodes of the 1st solid state switch at the time of connecting the case where a capacitor is not connected, and a capacitor, and drawing 1212 B is the property Fig. showing the difference in switching loss.

[Drawing 13] It is drawing showing the high-voltage pulse generating circuit concerning the gestalt of the 8th operation.

[Drawing 14] It is drawing showing the high-voltage pulse generating circuit concerning the gestalt of the 9th operation.

[Drawing 15] It is drawing showing the high-voltage pulse generating circuit concerning the conventional technique.

[Drawing 16] It is drawing showing the high-voltage pulse generating circuit concerning the example of a proposal.

[Description of Notations]

10A-10I -- High-voltage pulse generating circuit 12 -- DC-power-supply section

14 -- The 2nd solid state switch 20 -- Load

22 -- DC power supply 32 -- Inductor

33--primary coil 34 -- The 1st solid state switch

36 -- Diode 38--secondary coil

50 -- Discharging gap 52 64 -- Diode

68, 70, 76 -- Capacitor 78 -- Resistance

---

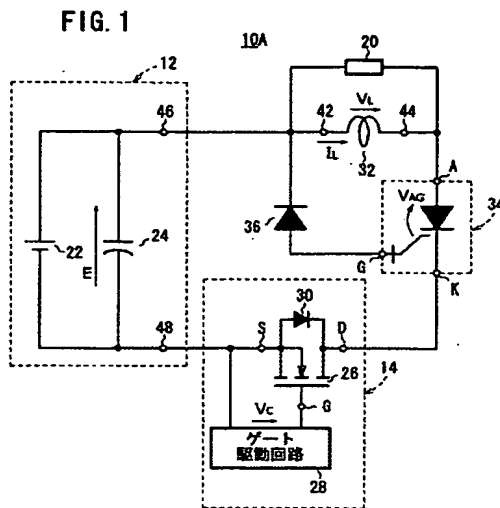
[Translation done.]

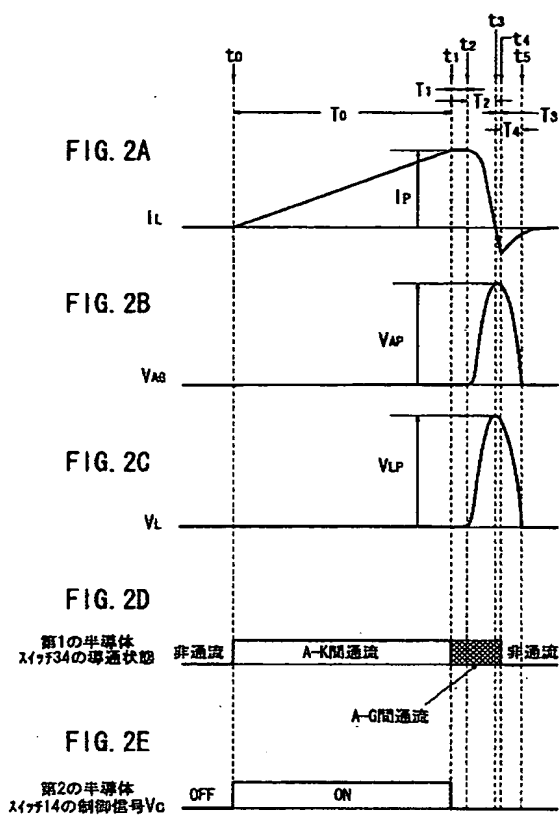
## \* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

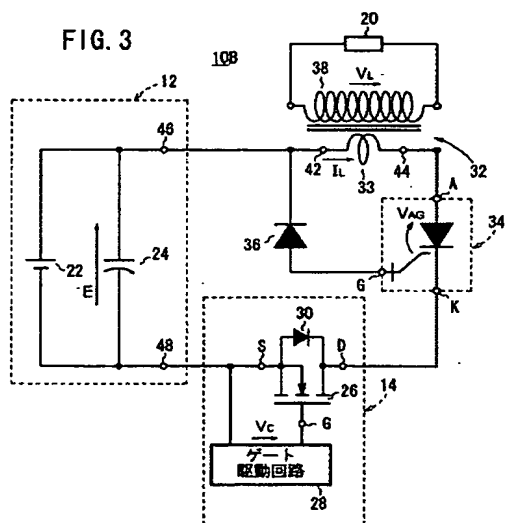
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

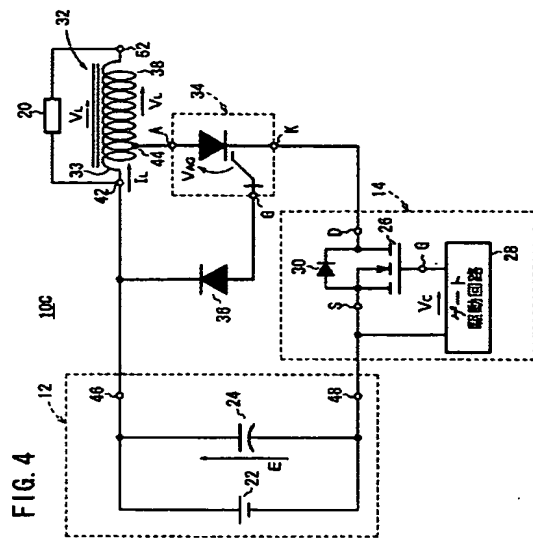
[Drawing 1][Drawing 2]



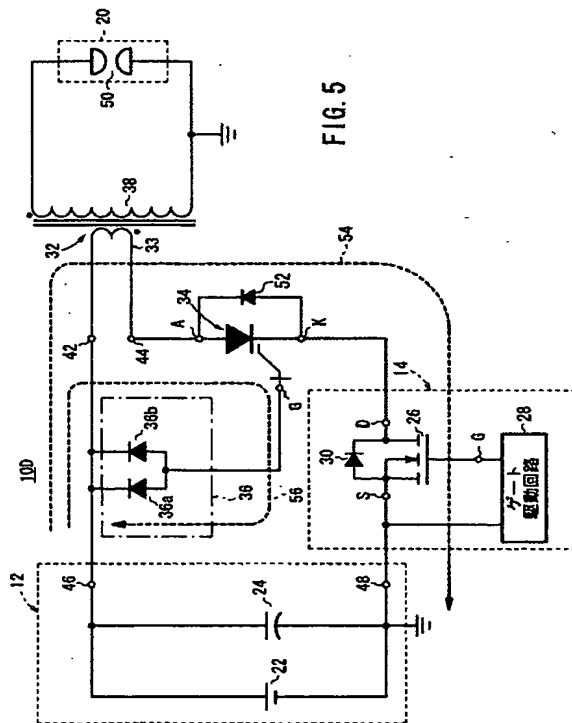
[Drawing 3]



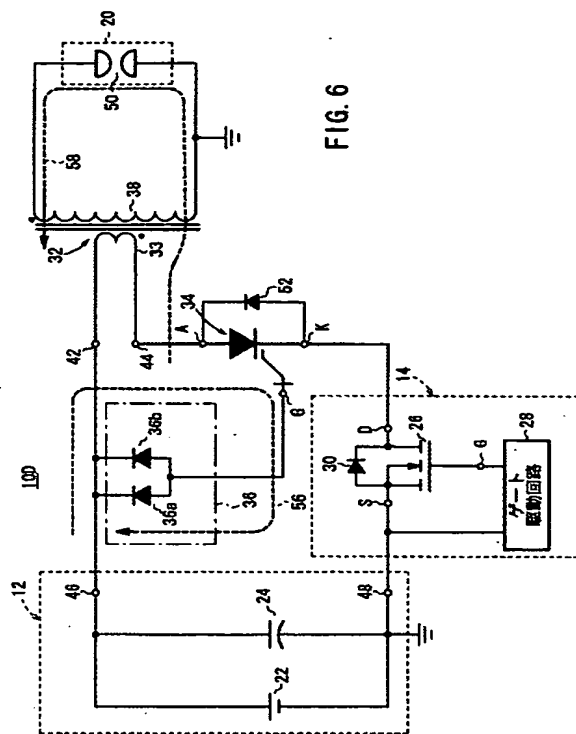
[Drawing 4]



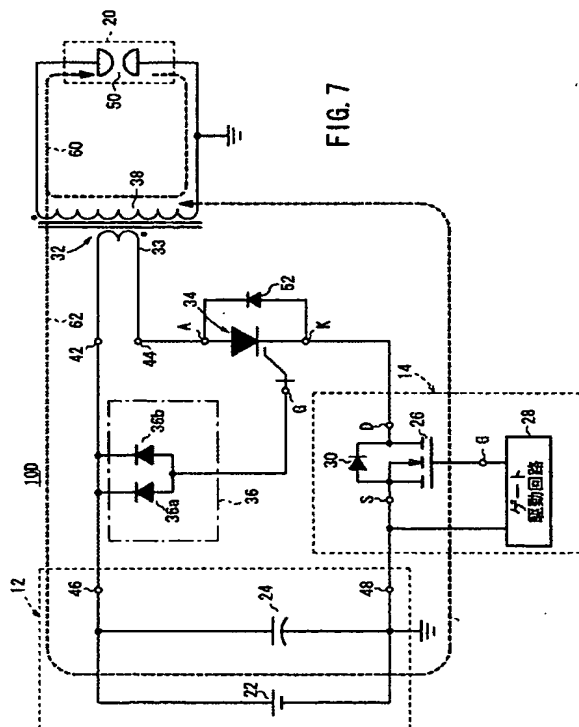
[Drawing 5]



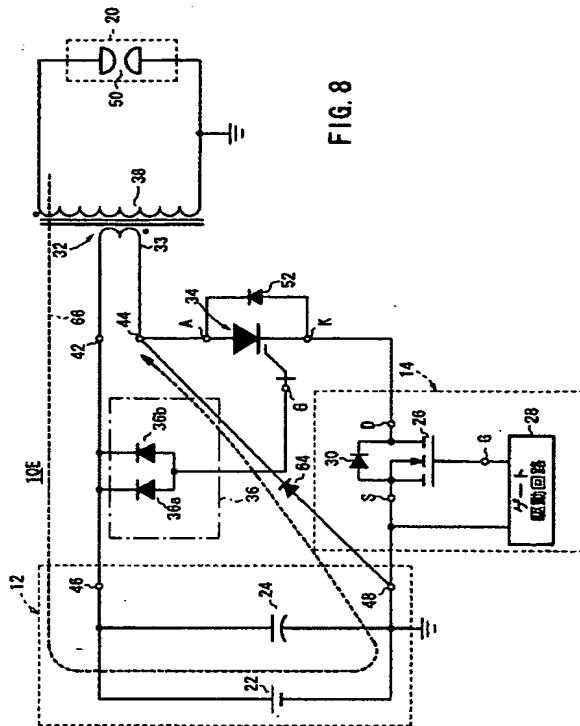
[Drawing 6]



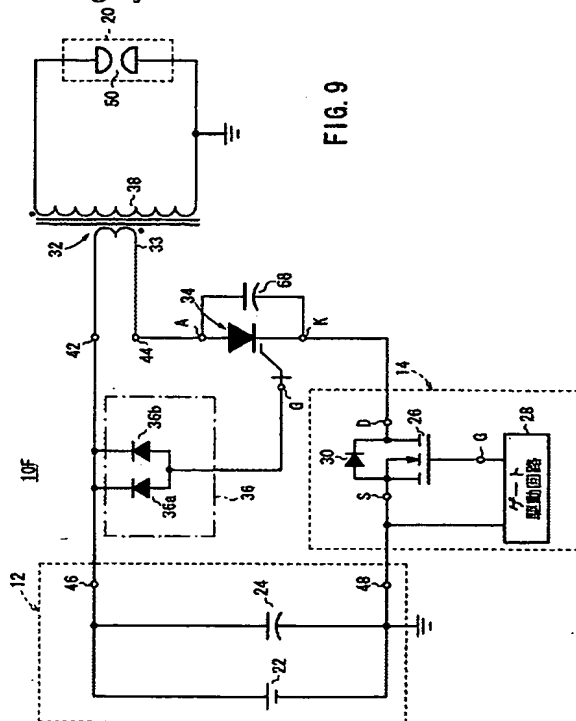
[Drawing 7]



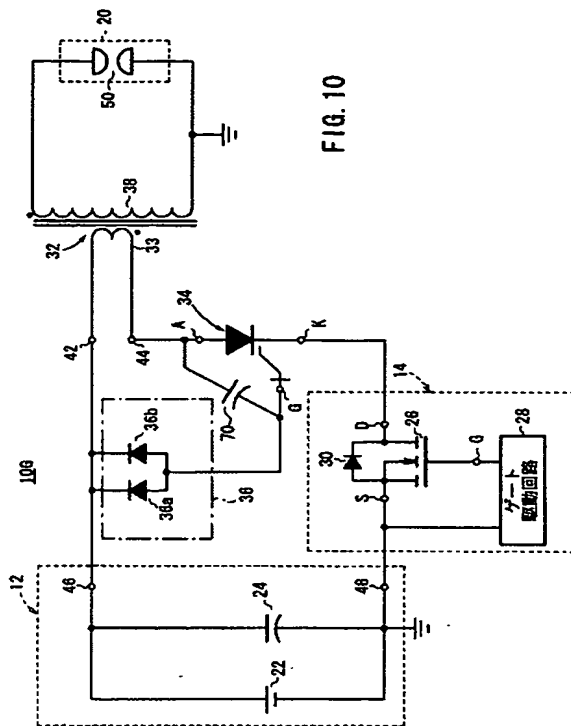
[Drawing 8]



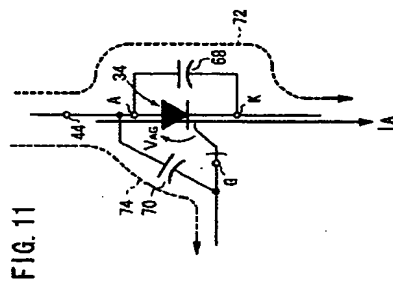
[Drawing 9]



[Drawing 10]



[Drawing 11]



[Drawing 12]



FIG. 12A

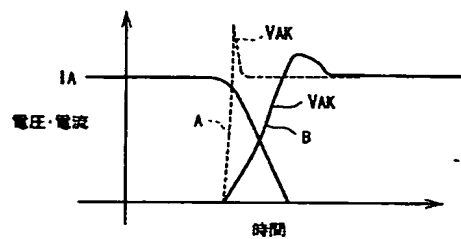
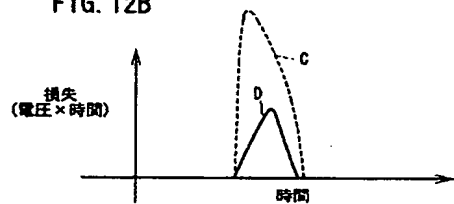
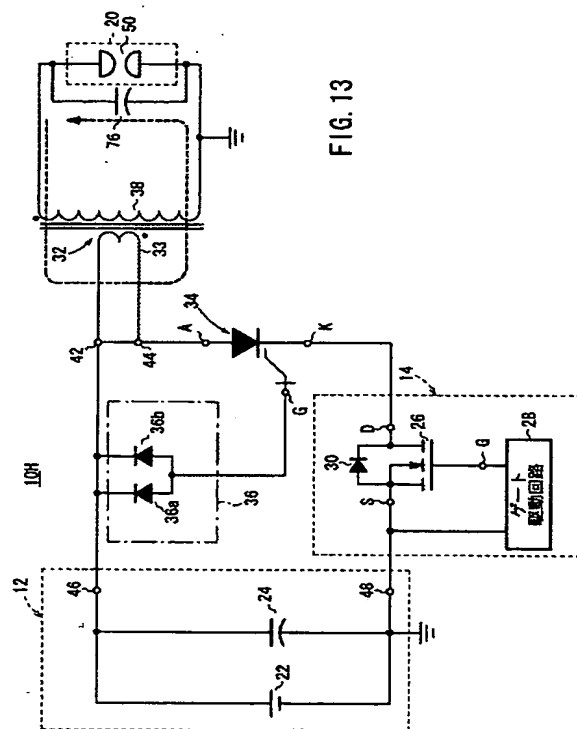


FIG. 12B

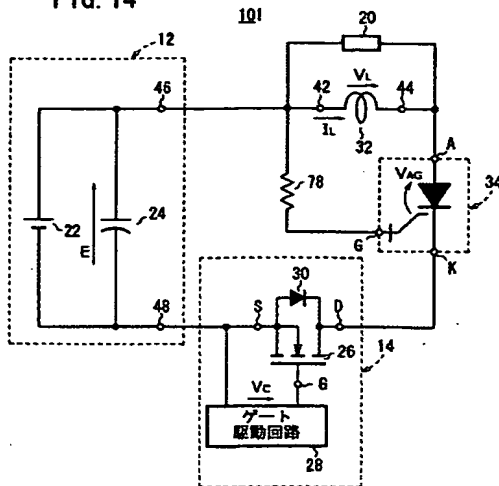


[Drawing 13]



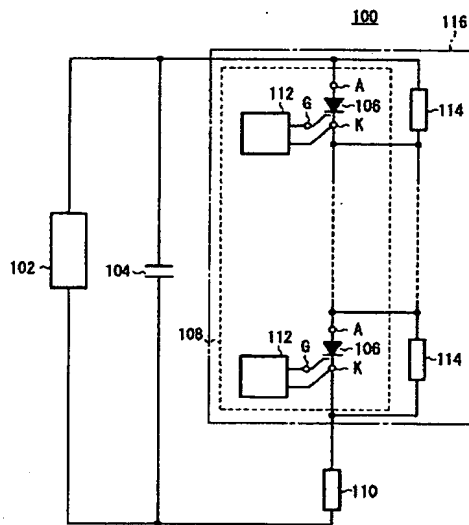
[Drawing 14]

FIG. 14



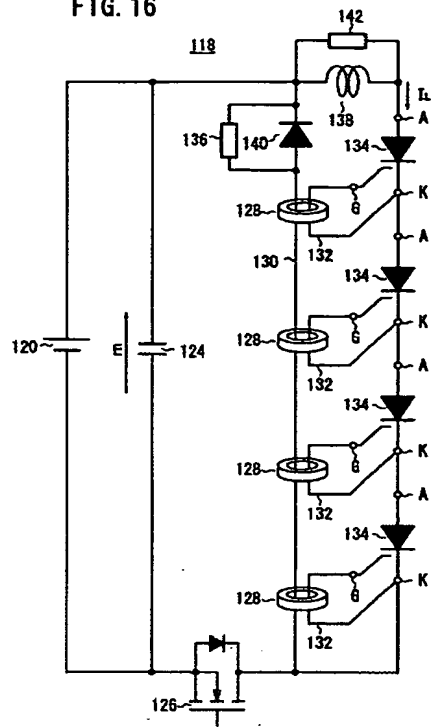
[Drawing 15]

FIG. 15



[Drawing 16]

FIG. 16



[Translation done.]

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-72994

(P2004-72994A)

(43) 公開日 平成16年3月4日(2004. 3. 4)

(51) Int. Cl.<sup>7</sup>

H02M 9/04

H03K 17/80

F I

H02M 9/04

H03K 17/80

C

Z

テーマコード (参考)

5H790

5J050

審査請求 未請求 請求項の数 21 O L (全 21 頁)

(21) 出願番号 特願2003-56308 (P2003-56308)  
 (22) 出願日 平成15年3月3日 (2003. 3. 3)  
 (31) 優先権主張番号 特願2002-171684 (P2002-171684)  
 (32) 優先日 平成14年6月12日 (2002. 6. 12)  
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000004064  
 日本碍子株式会社  
 愛知県名古屋市瑞穂区須田町2番56号  
 (74) 代理人 100077665  
 弁理士 千葉 剛宏  
 (74) 代理人 100116676  
 弁理士 宮寺 利幸  
 (72) 発明者 波多野 達彦  
 愛知県名古屋市瑞穂区須田町2番56号  
 日本碍子株式会社内  
 (72) 発明者 佐久間 健  
 愛知県名古屋市瑞穂区須田町2番56号  
 日本碍子株式会社内  
 (72) 発明者 飯田 克二  
 神奈川県厚木市毛利台1-8-4

最終頁に続く

(54) 【発明の名称】 高電圧パルス発生回路

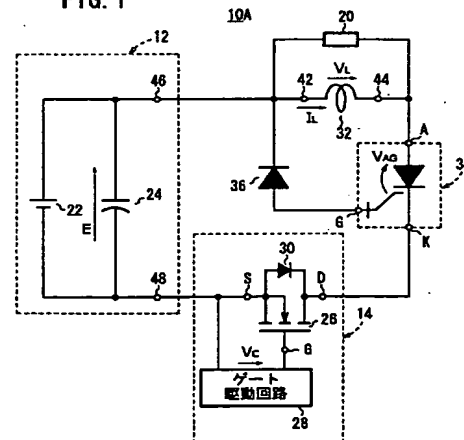
## (57) 【要約】

【課題】 複数個の半導体スイッチを用いずに、急峻な立ち上がり時間と極めて狭いパルス幅を有する高電圧パルスを提供できるようにする。

【解決手段】 高電圧パルス発生回路10Aは、直流電源22の両端に直列接続されたインダクタ32、第1の半導体スイッチ34及び第2の半導体スイッチ14と、第1の半導体スイッチ34のアノード端子Aに接続されたインダクタ32の他端42にカソード端子が接続され、第1の半導体スイッチ34のゲート端子にアノード端子が接続されたダイオード36とを有する。第2の半導体スイッチ14のターンオンによる第1の半導体スイッチ34の導通に伴うインダクタ32への誘導エネルギーの蓄積と、第2の半導体スイッチ14のターンオフによる第1の半導体スイッチ34のターンオフに伴うインダクタ32での高電圧パルスの発生が行われる。

【選択図】 図1

FIG. 1



## 【特許請求の範囲】

## 【請求項 1】

直流電源部の両端に直列接続されたインダクタ、第 1 の半導体スイッチ及び第 2 の半導体スイッチと、

前記第 1 の半導体スイッチのアノード端子に一端が接続された前記インダクタの他端にカソード端子が接続され、前記第 1 の半導体スイッチのゲート端子にアノード端子が接続されたダイオードとを有することを特徴とする高電圧パルス発生回路。

## 【請求項 2】

直流電源部の両端に直列接続されたインダクタ、第 1 の半導体スイッチ及び第 2 の半導体スイッチと、

前記第 1 の半導体スイッチのアノード端子に一端が接続された前記インダクタの他端と前記第 1 の半導体スイッチのゲート端子との間に接続された抵抗とを有することを特徴とする高電圧パルス発生回路。

## 【請求項 3】

請求項 1 又は 2 記載の高電圧パルス発生回路において、

前記第 2 の半導体スイッチのターンオンによる前記第 1 の半導体スイッチの導通に伴う前記インダクタへの誘導エネルギーの蓄積と、

前記第 2 の半導体スイッチのターンオフによる前記第 1 の半導体スイッチのターンオフに伴う前記インダクタでの高電圧パルスの発生が行われることを特徴とする高電圧パルス発生回路。

## 【請求項 4】

請求項 1 ～ 3 のいずれか 1 項に記載の高電圧パルス発生回路において、

前記インダクタは、

1 次巻線と、

前記 1 次巻線と磁氣的に結合された 2 次巻線とを有することを特徴とする高電圧パルス発生回路。

## 【請求項 5】

請求項 4 記載の高電圧パルス発生回路において、

前記 2 次巻線は、前記 1 次巻線の巻数よりも多い巻数であることを特徴とする高電圧パルス発生回路。

## 【請求項 6】

請求項 1 ～ 3 のいずれか 1 項に記載の高電圧パルス発生回路において、

前記インダクタは、

1 次巻線と、

前記 1 次巻線とは直流的に絶縁せずに結合された 2 次巻線とを有することを特徴とする高電圧パルス発生回路。

## 【請求項 7】

請求項 6 記載の高電圧パルス発生回路において、

前記 2 次巻線は、前記 1 次巻線とは直流的に絶縁せずに前記 1 次巻線に加極となるように巻き足されて構成されていることを特徴とする高電圧パルス発生回路。

## 【請求項 8】

請求項 1 ～ 7 のいずれか 1 項に記載の高電圧パルス発生回路において、

前記インダクタは、磁性体コアを有することを特徴とする高電圧パルス発生回路。

## 【請求項 9】

請求項 1 ～ 8 のいずれか 1 項に記載の高電圧パルス発生回路において、

前記第 1 の半導体スイッチは、ターンオフ時には電流制御形、ターンオン時には電圧制御形のデバイスとを有することを特徴とする高電圧パルス発生回路。

## 【請求項 10】

請求項 1 ～ 9 のいずれか 1 項に記載の高電圧パルス発生回路において、

前記第 1 の半導体スイッチは、自己消弧形あるいは転流消弧形のデバイスを有することを

10

20

30

40

50

特徴とする高電圧パルス発生回路。

【請求項 11】

請求項 10 記載の高電圧パルス発生回路において、

前記第 1 の半導体スイッチは、静電誘導サイリスタを有することを特徴とする高電圧パルス発生回路。

【請求項 12】

請求項 1～11 のいずれか 1 項に記載の高電圧パルス発生回路において、

前記第 2 の半導体スイッチは、自己消弧形あるいは転流消弧形のデバイスを含むことを特徴とする高電圧パルス発生回路。

【請求項 13】

請求項 12 記載の高電圧パルス発生回路において、

前記第 2 の半導体スイッチは、電力用金属酸化半導体電界効果トランジスタを含むことを特徴とする高電圧パルス発生回路。

【請求項 14】

請求項 3～13 のいずれか 1 項に記載の高電圧パルス発生回路において、

前記第 2 の半導体スイッチのターンオフ後に前記インダクタでの残存エネルギーを前記直流電源部に回生させる回路素子が接続されていることを特徴とする高電圧パルス発生回路。

【請求項 15】

請求項 14 記載の高電圧パルス発生回路において、

前記回路素子は、

前記第 1 の半導体スイッチに対して並列に接続され、かつ、前記第 1 の半導体スイッチの前記アノード端子にカソード端子が接続されたダイオードを含むことを特徴とする高電圧パルス発生回路。

【請求項 16】

請求項 14 記載の高電圧パルス発生回路において、

前記回路素子は、

前記直流電源部と前記第 2 の半導体スイッチとの間にアノード端子が接続され、かつ、前記インダクタの前記一端にカソード端子が接続されたダイオードを含むことを特徴とする高電圧パルス発生回路。

【請求項 17】

請求項 3～16 のいずれか 1 項に記載の高電圧パルス発生回路において、

前記第 2 の半導体スイッチのターンオフ後に前記第 1 の半導体スイッチに流れる電流を転流させる経路を含むことを特徴とする高電圧パルス発生回路。

【請求項 18】

請求項 17 記載の高電圧パルス発生回路において、

前記経路が前記第 1 の半導体スイッチと並列に接続されていることを特徴とする高電圧パルス発生回路。

【請求項 19】

請求項 18 記載の高電圧パルス発生回路において、

前記経路は、前記第 1 の半導体スイッチのアノード端子とカソード端子との間に接続されたコンデンサを含むことを特徴とする高電圧パルス発生回路。

【請求項 20】

請求項 18 記載の高電圧パルス発生回路において、

前記経路は、前記第 1 の半導体スイッチのゲート端子とアノード端子との間に接続されたコンデンサを含むことを特徴とする高電圧パルス発生回路。

【請求項 21】

請求項 1～20 のいずれか 1 項に記載の高電圧パルス発生回路において、

前記インダクタに負荷が接続されている場合に、

前記負荷に並列にコンデンサが接続されていることを特徴とする高電圧パルス発生回路。

【発明の詳細な説明】

10

20

30

40

50

## 【0001】

## 【発明の属する技術分野】

本発明は、簡単な回路構成にて、低い電圧の直流電源部からインダクタに蓄積させた電磁エネルギーを開放することにより、極めて短い立ち上がり時間と極めて狭いパルス幅とを有する高電圧パルスを供給できる高電圧パルス発生回路に関する。

## 【0002】

## 【従来の技術】

最近、高電圧パルスの放電によるプラズマにより、脱臭、殺菌、有害ガスの分解等を行う技術が適用されるようになってきたが、このプラズマを発生させるために高電圧の極めて幅の狭いパルスを供給できる高電圧パルス発生回路が必要となる。

10

## 【0003】

従来の高電圧パルス発生回路100は、図15に示すように、高電圧パルスの波高値に略等しい直流高電圧を発生する充電装置102と、該充電装置102からの直流高電圧に充電されるキャパシタ104と、大きな耐電圧を得るために直列接続された複数の静電誘導サイリスタ（以下、SIサイリスタと記す）等の半導体素子106によるスイッチ108と、該スイッチ108の高速スイッチングによってキャパシタ104に充電された直流高電圧が高電圧パルスとして供給される負荷110とを有する（例えば特許文献1参照）。

## 【0004】

各半導体素子106には、これら半導体素子106をターンオンさせるために、ゲート駆動回路112が接続されている。また、各半導体素子106の非導通時におけるインビクタンスのはりつきによる各半導体素子106の分担電圧のアンバランスを小さくするために、バランサ抵抗114が半導体素子106に並列に接続されている。

20

## 【0005】

即ち、高電圧パルス発生回路100には、負荷110に対して直列に、複数の半導体素子106とバランサ抵抗114とからなる多直列回路116が接続されている。

## 【0006】

一方、提案例に係る高電圧パルス発生回路118は、図16に示すように、半導体スイッチ126をターンオンすることによって、直流電源120（電源電圧E）から抵抗136（抵抗値R）↑各磁性体コア128の1ターンの1次巻線↑半導体スイッチ126↑直流電源120に、略E/Rの大きさの電流が流れる。

30

## 【0007】

このとき、磁性体コア128のトランス作用により各磁性体コア128の1ターンの2次巻線にも同じ大きさの電流が各半導体素子134のゲート-カソードを經由して流れるため、全ての半導体素子134を同時にターンオンすることとなる（例えば非特許文献1参照）。

## 【0008】

これにより、半導体スイッチ126と直列接続された半導体素子134とが導通するため、インダクタ138には略Eの電圧が印加され、電流 $I_L$ が直線状に増加して行き、電磁エネルギーがインダクタに蓄積される。

40

## 【0009】

インダクタ138に流れる電流 $I_L$ が増加して、所望の電磁エネルギーが蓄積された段階で、半導体スイッチ126をターンオフさせると、インダクタの電流の流れる経路が断たれようとするため、インダクタの残留電磁エネルギーによる誘起電圧が逆極性に発生する。

## 【0010】

その結果、ダイオード140が導通し、インダクタ138↑各半導体素子134↑各磁性体コア128の1次巻線↑ダイオード140↑インダクタ138という経路でインダクタの電流が引き続き流れるようになる。このとき、各磁性体コアの2次巻線にも同じ大きさの電流が流れる。

## 【0011】

50

つまり、各半導体素子134のアノードに流れ込む電流は全てゲートへ流れ出し、カソードには電流が流れなくなる。この電流は半導体素子134に蓄積された電荷が放出されるまで流れる。この状態では電流経路に大きな電圧降下は生じず、時間も極く短時間なため、インダクタの電流の減少は僅かであり、インダクタの電磁エネルギーの減少も少ない。

#### 【0012】

この電荷の放出と共に、半導体素子134はオフ状態に移行し、急速に空乏層が形成されていき、これによる少量の電気容量でインダクタ電流が充電されるため、アノード-カソード間の電圧も急峻に立ち上がっていく。このため、インダクタ電圧は急速に増大し、電流は急速に減少する。言い換えれば、インダクタの電磁エネルギーが半導体素子134のアノード-カソード間容量に静電エネルギーとして移行することになる。この電圧は負荷142にも供給されるので、この移行の過程でインダクタの電磁エネルギー及び半導体素子134のアノード-カソード間容量による静電エネルギーが負荷で消費される。

10

#### 【0013】

高電圧パルス発生回路118では、直流電源120は低電圧でもよく、半導体素子134のターンオン及びターンオフは磁性体コア128の2次電流のみで行われ、ゲート駆動回路が不要になり、装置を簡単化することが可能となる。

#### 【0014】

##### 【特許文献1】

特開2002-44965号公報(図3、図4)

##### 【非特許文献1】

20

電気学会プラズマ研究会、講演番号PST-02-16号(図1)

#### 【0015】

##### 【発明が解決しようとする課題】

しかしながら、図15に示す従来の高電圧パルス発生回路100は、回路構成が複雑である。また、充電装置102をはじめとして、全ての回路部品に高電圧が印加される。そのため、絶縁距離を大きく取る等、高電圧絶縁を行う必要がある。従って、高電圧パルス発生回路100の大型化とコストの増大化を招くという問題がある。

#### 【0016】

また、万一の誤動作により、直列された半導体素子106の一部のみが、ターンオンした場合には、残りの半導体素子106に定格を超えた過電圧の印加による破壊が生じるおそれがあり、高信頼性の動作が期待できないという問題がある。

30

#### 【0017】

更に、極めて急峻に立上がるパルス(10kV/μ秒以上)を発生させるために半導体素子106を急速にターンオンさせる必要があることから、半導体素子106へのゲート信号の印加タイミングのズレや各半導体素子106のターンオン時間のズレが、2n秒や3n秒のオーダーでもターンオン時の過渡電圧バランスが大きく崩れるという問題があり、通常のインバータ等(数百V/μ秒程度)のような半導体素子の直列接続の場合に比べて桁違いの困難さがある。

#### 【0018】

一方、図16に示す提案例に係る高電圧パルス発生回路118では、直流電源120は低電圧でもよく、万一のターンオン誤動作等の場合において、半導体素子134に対して耐電圧以上の電圧が印加されるということが全くなき、その点での改良はなされているが、半導体素子134のターンオフ時間のばらつきにより、急速に行われるターンオフ時において過渡電圧バランスの崩れを防止するのが非常に難しい。つまり、複数の半導体素子を直列接続に伴う問題は相変わらず存在している。

40

#### 【0019】

更に、ゲイオード140の直列回路に複数の磁性体コアが配されるため、これによる物理的な距離、並びに有限の1次巻線及び2次巻線間の漏れによるインダクタンスの存在により、半導体スイッチ126のターンオフによるインダクタ電流のゲイオード140への転流に時間を要し、半導体素子134のターンオフゲート電流の増加率が抑えられてしまい

50



、半導体素子 134 のカソードに電流が流れている間に空乏層が広がり始め（ターンオフ利得が 1 以上となり）、急峻なターンオフでは不安定となるおそれがあった。

【0020】

本発明はこのような問題を考慮してなされたものであり、高電圧が印加される半導体スイッチを複数個使用することなく、簡単な回路構成で、急峻な立ち上がり時間と極めて狭いパルス幅を有する高電圧パルスを供給できるようにした高電圧パルス発生回路を提供することを目的としている。

【0021】

【課題を解決するための手段】

本発明に係る高電圧パルス発生回路は、直流電源部の両端にインダクタ、第 1 の半導体スイッチ（できるだけ電圧定格の高いことが好ましい）及び第 2 の半導体スイッチ（直流電源電圧程度の低い電圧定格でよい）を直列に接続し、前記第 1 の半導体スイッチのアノード端子に一端が接続された前記インダクタの他端にカソード、前記第 1 の半導体スイッチの制御（ゲート）端子にアノードとなるようにダイオードを接続した極めて簡単な回路で構成する。

10

【0022】

まず、前記第 2 の半導体スイッチをターンオンすることにより、第 1 の半導体スイッチも導通し、前記インダクタに直流電源部の電圧が印加され、該インダクタに誘導エネルギーが蓄積される。その後、前記第 2 の半導体スイッチをターンオフさせると、前記第 1 の半導体スイッチも急速にターンオフするため、前記インダクタに非常に急峻に立ち上がる極めて幅の狭い高電圧パルスが発生することとなる。

20

【0023】

前記インダクタで高電圧パルスの発生を行い、高電圧パルスの供給を受ける負荷は該インダクタと並列に接続する、あるいは前記第 1 の半導体スイッチと並列に接続してもよい。

【0024】

また、本発明においては、前記インダクタを、1 次巻線と、該 1 次巻線と磁氣的に結合された 2 次巻線とを有するようにしてもよい。上述した本発明においては、前記インダクタに発生する電圧に略等しい電圧が前記第 1 の半導体スイッチにも印加されるため、前記インダクタに発生する電圧は前記第 1 の半導体スイッチの耐電圧以上に設定できない。

【0025】

従って、これ以上の出力電圧が要求される場合には、前記 2 次巻線を、前記 1 次巻線の巻数よりも多い巻数とし、前記第 1 の半導体スイッチの耐電圧よりも高い電圧を有する高電圧パルスを該インダクタの 2 次巻線に発生するようにする。

30

【0026】

また、本発明においては、前記インダクタの 2 次巻線を 1 次巻線とは直流的に絶縁せずに結合された 2 次巻線を有するようにしてもよい。この場合、1 次巻線に加極となるように 2 次巻線を巻き足し、1 次巻線及び 2 次巻線の両端の合計された電圧を有する高電圧パルスを取り出すようにしてもよい。

【0027】

そして、上述の 1 次巻線と 2 次巻線を使用してインダクタを構成する場合においては、1 次巻線と 2 次巻線間の磁気結合を密にし、漏れ磁束の発生を抑制するために、インダクタは磁性体コア入りとすることが好ましい。

40

【0028】

ここで、第 1 の半導体スイッチとして用いるデバイスについて簡単に説明する。本発明では、第 1 の半導体スイッチとして、電流制御形のデバイス又は自己消弧形あるいは転流消弧形のデバイスを用いることができる。具体的には、S I サイリスタ、G T O（ゲートターンオフサイリスタ）、S I T（静電誘導トランジスタ）、バイポーラトランジスタ、サイリスタ等を使用することができる。中でも前記 G T O のような電流制御形で、かつ、自己消弧形のサイリスタが適しており、特に、短幅パルスの発生のためにターンオン・ターンオフ速度の早いデバイスが要求される場合には、S I サイリスタが好適である。こ

50

のS Iサイリスタは、ターンオン時の電流上昇率が比較的緩やかな場合には、ゲートーカソード間に若干の正電圧を印加するだけで電界効果によるターンオンが可能となる。

【0029】

また、ターンオフに際しては、ゲートから電流を流し出すことで、デバイス内部に蓄積された電荷を消滅させ、空乏層を形成し、ターンオフを達成する。通常のインバータ等を使用した場合には、ターンオフ利得が1以上、つまり、ゲート電流がアノード電流より小さく、かつ、この電流の増加率が大きくなくても電荷の引き抜きが完了すればターンオフを達成できる。

【0030】

ところが、パルスパワー用途のように急峻なターンオフを行う必要がある場合には、このターンオフゲート電流がアノード電流と同じ（この場合、ターンオフ利得が1）か、それ以上（この場合、ターンオフ利得は1以下）に大きく、かつ、急速に増大させ、デバイス内部に蓄積された電荷の引き抜きが終了する前にカソード電流がゼロとなる理想的で、安定したターンオフを達成する必要がある。

【0031】

しかし、通常、アノード電流は大きく、従って、ターンオフ利得を1ないしそれ以下、かつ急峻（アノード電流に等しくなるまでの時間が十数μ秒以下）にターンオフさせるために、通常使用するゲート駆動回路でゲートからこのような電流を流すことは非常に困難であり、また、実用的ではない。

【0032】

本発明に係る高電圧パルス発生回路は、このようなゲート駆動回路を使用せずにターンオフ利得を見かけ上、1以下とすることが出来る機能を有している。

【0033】

一方、第2の半導体スイッチとしては、自己消弧形あるいは転流消弧形のデバイスを使用することが出来る。例えば電力用金属酸化半導体電界効果トランジスタが好適である。

【0034】

また、本発明においては、前記第2の半導体スイッチのターンオフ後に前記インダクタでの残存エネルギーを前記直流電源部に回生させる回路素子を接続するようにしてもよい。

【0035】

この場合、前記回路素子は、前記第1の半導体スイッチに対して並列に接続され、かつ、前記第1の半導体スイッチの前記アノード端子にカソード端子が接続されたダイオードを有するようにしてもよいし、あるいは、前記直流電源部と前記第2の半導体スイッチとの間にアノード端子が接続され、かつ、前記インダクタの前記一端にカソード端子が接続されたダイオードを有するようにしてもよい。

【0036】

この構成により、前記インダクタでの残存エネルギー、例えばインダクタに負荷が接続されていれば、該負荷の余分なエネルギー（使われないエネルギー）を直流電源部に戻す動作が行われ、電源の高効率化に寄与する。

【0037】

また、本発明においては、前記第2の半導体スイッチのターンオフ後に前記第1の半導体スイッチに流れる電流を転流させる経路を有するようにしてもよい。この経路は、前記第1の半導体スイッチと並列に接続されていてもよい。

【0038】

この場合、前記経路は、前記第1の半導体スイッチのアノード端子とカソード端子との間に接続されたコンデンサを有するようにしてもよいし、あるいは前記第1の半導体スイッチのゲート端子とアノード端子との間に接続されたコンデンサを有するようにしてもよい。

【0039】

これにより、第1の半導体スイッチの動作責務を軽減することができ、第1の半導体スイッチのスイッチング損失の低減や電流遮断耐量の向上を図ることが出来る。特に、電流遮

10

20

30

40

50

断耐量の向上は、パルス電源の大容量化につながる。

【0040】

また、第1の半導体スイッチが高速に、もしくは大電流を遮断した場合に、インダクタの励磁インダクタンスには大きなサージ電圧が第1の半導体スイッチに加わることになるが、上述の経路を接続することで、前記サージ電圧を抑えることができ、第1の半導体スイッチの信頼性の向上を図ることができる。

【0041】

しかも、使用する第1の半導体スイッチによっては、ターンオフ時の電圧上昇率( $dV/dt$ )をあまり高くできない場合があるが、上述の経路にコンデンサを接続することで、使用する第1の半導体スイッチの許容可能なレベルの電圧上昇率( $dV/dt$ )まで、前記コンデンサの容量で調整することができる。

10

【0042】

なお、前記経路にコンデンサを接続した場合においては、コンデンサに残ったエネルギーの多くは直流電源部に回生されることから、前記経路にコンデンサを接続することによる効率低下は少ない。

【0043】

また、本発明においては、前記インダクタに負荷が接続されている場合に、前記負荷に並列にコンデンサを接続するようにしてもよい。この場合、インダクタの励磁インダクタンスが第1の半導体スイッチでの電流遮断動作後に負荷に転流しやすくなる。この場合、上述した経路を接続した効果と同様に、第1の半導体スイッチにおけるスイッチング損失の低減や電流遮断耐量の向上を図ることができる。また、負荷に前記励磁インダクタンスに蓄積されたエネルギーを吸収することができ、励磁インダクタンスに発生するサージ電圧を抑制することができる。この場合も、コンデンサに残ったエネルギーの多くは直流電源部に回生されることから、前記経路にコンデンサを接続することによる効率低下は少ない。

20

【0044】

また、本発明に係る高電圧パルス発生回路は、直流電源部の両端に直列接続されたインダクタ、第1の半導体スイッチ及び第2の半導体スイッチと、前記第1の半導体スイッチのアノード端子に一端が接続された前記インダクタの他端と前記第1の半導体スイッチのゲート端子との間に接続された抵抗とを有するようにしてもよい。

【0045】

これにより、第2の半導体スイッチをターンオンさせたときに、第1の半導体スイッチをより確実にターンオンさせることができる。特に、第1の半導体スイッチを電流制御形のデバイスで構成した場合、ゲートに電流を流し込まないとターンオンしないが、上述のように抵抗を接続することで、第1の半導体スイッチを確実にターンオンさせることができる。

30

【0046】

なお、上述の抵抗を用いた構成においては、直流電源部で使用する電源電圧を高電圧とした場合においても低コストで構成することができる。

【0047】

【発明の実施の形態】

以下、本発明に係る高電圧パルス発生回路のいくつかの実施の形態例を図1～図14を参照しながら説明する。

40

【0048】

第1の実施の形態に係る高電圧パルス発生回路10Aは、直流電源22と高周波インピーダンスを低くするコンデンサ24とを有する直流電源部12の両端42及び44に、インダクタ32、第1の半導体スイッチ34及び第2の半導体スイッチ14を直列接続し、更に、一端44が第1の半導体スイッチ34のアノード端子Aに接続されたインダクタ32の他端42と、第1の半導体スイッチ34の制御端子(ゲート端子)Gとの間に制御端子G側がアノードとなるようにダイオード36が挿入接続され、高電圧パルスを必要とする負荷20がインダクタ32と並列に接続されて構成されている。

50

## 【0049】

図1の例では、第2の半導体スイッチ14が直流電源部12の負極端子48側に設けられているが、正極端子46側に設けても同じ効果をもたらすことはいうまでもない。また、負荷20もインダクタ32と並列ではなく、第1の半導体スイッチ34と並列に接続してもよい。

## 【0050】

第2の半導体スイッチ14は、自己消弧形あるいは転流消弧形のデバイスを用いることができるが、この第1の実施の形態では、アバランシェ形ダイオード30が逆並列で内蔵された電力用金属酸化半導体電界効果トランジスタ（以下、パワーMOSFETと記す）26を使用し、該パワーMOSFET26と、パワーMOSFET26のゲート端子Gとソース端子Sに接続され、パワーMOSFET26のオン及びオフを制御するゲート駆動回路28とから構成されている。

10

## 【0051】

第1の半導体スイッチ34は、電流制御形のデバイス又は自己消弧形あるいは転流消弧形のデバイスを用いることができるが、この第1の実施の形態では、ターンオフ時の電圧上昇率（ $dV/dt$ ）に対する耐量が極めて大きく、かつ、電圧定格の高いSIサイリスタを用いている。

## 【0052】

次に、この第1の実施の形態に係る高電圧パルス発生回路10Aが負荷20に対して高電圧パルス $V_L$ を供給する時間経過について、図1の回路図と図2A～図2Eの動作波形図とを参照しながら説明する。

20

## 【0053】

まず、時点 $t_0$ において、ゲート駆動回路28からパワーMOSFET26のゲート－ソース間に制御信号 $V_G$ （図2E参照）が供給され、パワーMOSFET26がオフからオンになる（図2D参照）。

## 【0054】

このとき、ダイオード36の逆極性の極めて大きなインピーダンスにより、第1の半導体スイッチ34は、ゲートG及びカソードK間に正に印加される電界効果によりターンオンする。第1の半導体スイッチ34のアノード電流の立ち上がりは、インダクタ32により抑制されるため、電界効果だけでも、正常なターンオンが行われる。なお、ダイオード36と並列に抵抗を接続するか、あるいは他の電源から抵抗を介して第1の半導体スイッチ34のゲート端子Gに積極的にゲート電流を流してもよいことはいうまでもない。

30

## 【0055】

このようにして、時点 $t_0$ で第2の半導体スイッチ14及び第1の半導体スイッチ34が導通すると、インダクタ32に略直流電源電圧 $E$ が印加され、インダクタ32のインダクタンスを $L$ とすると、図2Aに示すように、インダクタ32の電流 $I_L$ は勾配（ $E/L$ ）で時間の経過に伴って直線状に増加する。

## 【0056】

前記電流 $I_L$ は、時点 $t_1$ で電流が $I_P$ （ $=E \cdot t_0 / L$ ）となり、所望の電磁エネルギー（ $=L \cdot I_P^2 / 2$ ）が得られると、ゲート駆動回路28からの制御信号供給を停止し、パワーMOSFET26をターンオフさせる（図2E参照）。

40

## 【0057】

このとき、前記電流 $I_L$ の通流経路に存在するインダクタ32以外の図示しない浮遊インダクタンス（主に配線インダクタンス）が大きいと、パワーMOSFET26は瞬時に遮断状態とはならず、若干、電流が流れ続ける時間があり、パワーMOSFET26の出力容量を充電し、ダイオード30のアバランシェ電圧に達すると、該ダイオード30がアバランシェ電圧を持ったまま導通し、大きな損失を発生させる。このため、前記浮遊インダクタンスを極力低減させることにより、ダイオード30がアバランシェまで至らないようにし、ほぼ理想的なターンオフが行われるようにする。

## 【0058】

50

パワーMOSFET 26 がターンオフすることにより、第1の半導体スイッチ 34 のカソード K からの電流もゼロ、つまり、開放状態となるため、インダクタ 32 に流れていた電流  $I_L$  は遮断され、インダクタ 32 は残留電磁エネルギーによって逆誘起電圧を発生させようとするが、ダイオード 36 が作用し、インダクタ 32 の電流  $I_L$  は、第1の半導体スイッチ 34 のアノード A1 第1の半導体スイッチ 34 のゲート G1 ダイオード 36 のアノード1 ダイオード 36 のカソードの経路に転流する。

【0059】

この場合、ダイオード 36 が存在する分岐回路の浮遊インダクタンスも極力低くし、転流が短時間で終了するように配慮する必要がある。第1の半導体スイッチ 34 は、今まで流れていた電流によって電荷が蓄積されており、この電荷がゼロとなるまでは（ストレージ期間）、第1の半導体スイッチ 34 のアノード-ゲート間は導通状態を維持するため、上記経路の電圧降下は少ない。

10

【0060】

従って、インダクタ 32 の逆誘起電圧  $V_L$  は十分に低い値に抑えられるため、時間の短いストレージ期間（図2Aの時間  $T_1$ ）内の前記電流  $I_L$  の減少はほとんどないが、該時間  $T_1$  は第1の半導体スイッチ 34 のゲート端子 G から引き抜かれる電荷量により決まる。そのため、できるだけ大きな電流（この第1の実施の形態の場合は、アノード電流以上は流せない）を急峻に流し、見かけ上のターンオフ利得を1以下として時間  $T_1$  を短縮し、インダクタ 32 の電流  $I_L$  の減少を極力抑える必要がある。

【0061】

20

時点  $t_2$  で第1の半導体スイッチ 34 の内部に蓄積されていた電荷の引き抜きを完了し、空乏層がカソード側並びにゲート側からアノード側へ広がり、ターンオフ動作を開始する。空乏層は内蔵電位で決まる量により、接合にかかる電圧が増大し、ターンオフが進行するに従い拡大し、最終的にアノード近傍に到達する。

【0062】

従って、空乏層による電気容量は、アクティブな電荷が多数存在する飽和状態（導通状態）から、構造で決まる少量の電気容量まで変化していく。インダクタ 32 の電磁エネルギーによる電流が引き続きアノード1ゲートに流れ、この空乏層の電気容量を充電する。この充電電圧、つまり、第1の半導体スイッチ 34 のアノード-ゲート間電圧  $V_{AG}$  は、初めは大きい電気容量のため、比較的緩やかに上昇するが、空乏層の拡がりとともに急速に上昇していく。

30

【0063】

時点  $t_3$  で電流  $I_L$  がゼロになると、図2B及び図2Cに示すように、電圧  $V_{AG}$  及び  $V_L$  が最大となり、それぞれ  $V_{AP}$  及び  $V_{LP}$  となる。この時点で、インダクタ 32 の電磁エネルギーが全て第1の半導体スイッチ 34 の空乏層の電気容量に移行したことになる。

【0064】

また、この現象は、インダクタ 32 のインダクタンスと第1の半導体スイッチ 34 の電気容量とによる共振動作であるため、ほぼインダクタ 32 の電流  $I_L$  は余弦波形、第1の半導体スイッチ 34 のアノード-ゲート間電圧  $V_{AG}$  は正弦波形となる。

【0065】

40

従って、自由に定数を決められるインダクタ 32 のインダクタンスの値を選ぶことにより、インダクタ 32 並びに該インダクタ 32 と並列の負荷に発生するパルスの幅をコントロールできる。つまり、第1の半導体スイッチ 34 の電気容量の等価容量を  $C$  とすると、パルス幅  $T_P$  は、

【0066】

【数1】

$$T_P \cong \pi \sqrt{LC}$$

50

【0067】

となる。

【0068】

時点 $t_3$ で最大値 $V_{AP}$ に充電された第1の半導体スイッチ34の空乏層の電気容量に蓄えられた電荷は、共振現象の継続により、インダクタ32及び蓄積電荷によって逆方向に導通状態のダイオード36の経路で放電が始まり、時点 $t_4$ でダイオード36が逆回復し、非導通になるまで続く。時点 $t_4$ でインダクタ32及び第1の半導体スイッチ34の空乏層の電気容量にエネルギーが残存していれば、このエネルギーによる電流は、直流電源部121第2の半導体スイッチ14のダイオード301第1の半導体スイッチ34のカソードK1アノードAの経路で流れる。

10

【0069】

直流電源部12に流れる時間 $T_4$ は回生動作となり、インダクタ32及び第1の半導体スイッチ34の空乏層の電気容量に残存しているエネルギーが回生され、運転効率の向上に大きく寄与する。従って、ダイオード36の逆回復時間を極力短縮し、時間 $T_3$ を短くすることが重要となる。

【0070】

以上の説明では、負荷20を等価的に抵抗負荷のような線形性のもので説明したが、図5に示すように、負荷20が放電ギャップ50のような非線形なものでは、電圧の上昇中に負荷インピーダンスが急減し、その後の波形は図2Bや図2Cとは違ったものとなるが、この場合、図2Bや図2Cの波形よりもパルス幅の狭いパルス状の波形となる。

20

【0071】

ところで、図1に示す第1の実施の形態に係る高電圧パルス発生回路10Aでは、第1の半導体スイッチ34のアノードーカソード間電圧 $V_{AK}$ はインダクタ32の電圧とほぼ同じであるため、この第1の半導体スイッチ34のアノードーカソード間電圧 $V_{AK}$ の耐量以上の電圧をインダクタ32においてパルス出力させることはできない。

【0072】

そこで、図3及び図4に示す第2及び第3の実施の形態に係る高電圧パルス発生回路10B及び10Cは、第1の半導体スイッチ34のアノードーカソード間電圧 $V_{AK}$ の耐量以上の電圧を出力したい場合に好適となる。

【0073】

まず、この第2の実施の形態に係る高電圧パルス発生回路10Bは、図3に示すように、上述した第1の実施の形態に係る高電圧パルス発生回路10Aとほぼ同様の構成を有するが、インダクタ32が、1次巻線33と、該1次巻線33と磁氣的に結合され、かつ、1次巻線33の巻数よりも多い巻数の2次巻線38とを有する点で異なる。

30

【0074】

一方、第3の実施の形態に係る高電圧パルス発生回路10Cは、図4に示すように、インダクタ32が、1次巻線33と、該1次巻線33に対して直流的に絶縁せずに1次巻線38に加極となるように巻き足した2次巻線38とを有する点で異なる。

【0075】

これら第2及び第3の実施の形態においては、1次巻線33と2次巻線38間の磁気結合を密にし、漏れ磁束の発生を抑制するために、磁性体コアに巻きつけることが好ましい。

40

【0076】

そして、1次巻線33の巻数を $N_1$ 、2次巻線の巻数を $N_2$ とすれば、この第2の実施の形態に係る高電圧パルス発生回路10Bの場合には、 $V_{AG} \times N_2 / N_1$ の電圧を負荷20に出力することができ、一方、第3の実施の形態に係る高電圧パルス発生回路10Cの場合には、 $V_{AG} \times (N_1 + N_2) / N_1$ の電圧を負荷20に出力することができる。

【0077】

なお、第2の実施の形態では、2次巻線38の巻数を1次巻線33の巻数よりも多くして加極性としたが、その他、2次巻線38の巻数を1次巻線33の巻数よりも少なくして減

50

極性としてもよい。

【0078】

また、第3の実施の形態では、2次巻線38を、該1次巻線33に対して直流的に絶縁せずに1次巻線33に加極となるように巻き足して構成したが、その他、2次巻線38を、1次巻線33に減極となるように巻くようにして構成してもよい。

【0079】

これは、2次巻線38を加極の場合とは逆向きに例えば磁性体コアに巻き付けることで実現できる。これにより、出力端の正極、負極の向きが逆になる。そのため、加極時の出力電圧 $=V_{AG} \times (N1 + N2) / N1$ に対して、出力電圧 $=V_{AG} \times (N1 - N2) / N1$ となり減極性となる。この減極性の構成は、第1の半導体スイッチ34として、化合物半導体等を用いた超高耐圧を有する半導体スイッチを適用した場合などに有効である。

10

【0080】

次に、第4の実施の形態に係る高電圧パルス発生回路10Dについて図5～図7を参照しながら説明する。なお、この第4の実施の形態に係る高電圧パルス発生回路10Dの説明では、負荷20として放電ギャップ50を使用した場合について説明する。

【0081】

この第4の実施の形態に係る高電圧パルス発生回路10Dは、上述した第2の実施の形態に係る高電圧パルス発生回路10B（図3参照）とほぼ同様の構成を有するが、図5に示すように、第1の半導体スイッチ34に対して並列に接続されたダイオード52を有する点で異なる。このダイオード52は、アノード端子及びカソード端子が、第1の半導体スイッチ34のカソード端子及びアノード端子に接続され、第1の半導体スイッチ34に対して逆並列接続されている。

20

【0082】

図5の例では、インダクタ32の他端42と第1の半導体スイッチ34のゲート電極G間に接続されたダイオード36として、2つのダイオード36a及び36bを並列に接続させたものを使用しているが、その作用、機能は、第1の実施の形態に係る高電圧パルス発生回路10Aにおけるダイオード36とほぼ同じである。

【0083】

そして、この第4の実施の形態に係る高電圧パルス発生回路10Dにおいても、パワーMOSFET26をオンすること、図5の経路54に示すように、インダクタ32の励磁インダクタンスに電流が流れ、エネルギーが蓄積される。その後、パワーMOSFET26をオフすること、図5の経路56に示すように、第1の半導体スイッチ34のアノード端子Aからカソード端子Kに流れていた電流がアノード端子Aからゲート端子Gに転流し、第1の半導体スイッチ34の内部に残留する電荷がゲートから引き抜かれ、第1の半導体スイッチ34がターンオフすることとなる。

30

【0084】

第1の半導体スイッチ34がターンオフすることによって、図6に示すように、インダクタ32の励磁インダクタンスに流れていた電流がインダクタ32を介して負荷20に転流する。このとき、インダクタ32に大きなパルス電圧が発生し、負荷20の放電ギャップ50にて放電が発生することになる。

40

【0085】

このとき、第1の半導体スイッチ34を含む一般の半導体スイッチは、寄生する容量成分が存在するため、転流する電流はすべて負荷20に流れるわけではなく、第1の半導体スイッチ34の寄生容量の充電のために電流が流れる。

【0086】

負荷20が、放電ギャップ50のように容量性の負荷である場合においては、放電によってエネルギーが消費されるが、すべてが消費されなかったり、放電が起こらずにエネルギーが多く残留することがある。

【0087】

この場合、残った電荷がインダクタ32の励磁インダクタンスを介して放出され（インダ

50

クタ 32 の励磁インダクタンスに電流が流れ)、再度インダクタ 32 の励磁インダクタンスにエネルギーが移動する。

【0088】

負荷 20 にたまった電荷がなくなり、エネルギーが励磁インダクタンスに移動し終わると、図 7 に示すように、2 つの経路 (第 1 及び第 2 の経路 60 及び 62) で電流が流れることとなる。

【0089】

第 1 の経路 60 は、もう一度負荷 20 へ向かう経路であり、第 2 の経路 62 は、直流電源部 12、パワー MOSFET 26 の逆並列ダイオード 30、第 1 の半導体スイッチ 34 に逆並列に接続されたダイオード 52 を結ぶ経路である。

10

【0090】

但し、このときインダクタ 32 で発生する電圧は、直流電源部 12 と 2 つのダイオード 30 及び 52 で生ずる電圧でクランプされ、電流の多くは第 2 の経路 62 に流れる。この第 2 の経路 62 を通じての電流の流れは、図 7 では、直流電源部 12 のコンデンサ 24 にエネルギーを回生する動作になる。

【0091】

つまり、負荷の余分なエネルギー (使われないエネルギー) を直流電源部 12 に戻すという動作ということになり、直流電源部 12 の高効率化に寄与する。

【0092】

また、實際上、前記ダイオード 52 がないと、再度、インダクタ 32 の励磁インダクタンスと負荷 20 で共振し、結果的に第 1 の半導体スイッチ 34 に耐圧を超える逆電圧が印加されるおそれがあり、また、このとき重畳するパルス状のノイズで第 2 の半導体スイッチ 14 が誤動作するなどの悪影響がある。従って、励磁インダクタンスのエネルギーの処理のためにも、前記ダイオード 52 を接続することが望ましい。

20

【0093】

上述の第 4 の実施の形態に係る高電圧パルス発生回路 10D では、第 1 の半導体スイッチ 34 に対して逆並列にダイオード 52 を接続した場合を示したが、その他、図 8 に示す第 5 の実施の形態に係る高電圧パルス発生回路 10E のように、直流電源部 12 の負極端子 48 にアノード端子が接続され、かつ、インダクタ 32 の一端にカソード端子が接続されたダイオード 64 を有するようにしてもよい。

30

【0094】

この場合、直流電源部 12 及びダイオード 64 を結ぶ経路 66 で電流が流れ、直流電源部 12 にエネルギーが回生されることになる。特に、この例では、上述の例 (図 5 参照) と異なり、回生する電流の経路に接続されたダイオードが 1 つ (ダイオード 64) であるため、回生時の損失が少ないことと、機構的に前記回生する電流の経路の配線を短くすることができ、回生効率がよくなるという利点がある。

【0095】

次に、第 6 及び第 7 の実施の形態に係る高電圧パルス発生回路 10F 及び 10G を図 9 ~ 図 12B を参照しながら説明する。

【0096】

まず、第 6 の実施の形態に係る高電圧パルス発生回路 10F は、上述した第 4 の実施の形態に係る高電圧パルス発生回路 10D (図 5 参照) とほぼ同様の構成を有するが、図 9 に示すように、第 1 の半導体スイッチ 34 のアノード端子とカソード端子との間に、該第 1 の半導体スイッチ 34 と並列にコンデンサ 68 が接続されている点で異なる。

40

【0097】

一方、第 7 の実施の形態に係る高電圧パルス発生回路 10G は、図 10 に示すように、第 1 の半導体スイッチ 34 のアノード端子とゲート端子との間に、該第 1 の半導体スイッチ 34 と並列にコンデンサ 70 が接続されている点で異なる。

【0098】

そして、第 6 及び第 7 の実施の形態に係る高電圧パルス発生回路 10F 及び 10G におい

50



ても、パワーMOSFET 26をオフすること、第1の半導体スイッチ34のアノード端子からカソード端子に流れていた電流がアノード端子からゲート端子に転流し、第1の半導体スイッチ34の内部に残留する電荷がゲートから引き抜かれ、第1の半導体スイッチ34がターンオフに移行することになるが、このとき、図11に示すように、第1の半導体スイッチ34に流れていた電流 $I_A$ が、コンデンサ68が接続された経路72（図9に示す第6の実施の形態の場合）又はコンデンサ70が接続された経路74（図10に示す第7の実施の形態の場合）に転流し、これにより、第1の半導体スイッチ34の動作負荷が軽減されることになる。

【0099】

前記コンデンサ68又は70を接続しない場合、図12Aに示すように、第1の半導体スイッチ34に流れているアノード電流 $I_A$ は、パワーMOSFET 26のオフに伴って低減していくが、第1の半導体スイッチ34のアノード-カソード間電圧 $V_{AK}$ は、破線Aに示すように、パワーMOSFET 26のオフとほぼ同時に急峻に立ち上がることとなる。この立ち上がり時にオーバーシュート（パルスひずみ）が生じ、図12Bの破線Cに示すように、第1の半導体スイッチ34のスイッチング損失（電圧×電流）は大きくなる。一方、コンデンサ68又は70を接続した場合には、図12Aの実線Bに示すように、アノード-カソード間電圧 $V_{AK}$ の立ち上がりが緩やかになることから、図12Bの実線Dに示すように、第1の半導体スイッチ34のスイッチング損失は大幅に低減される。

【0100】

即ち、前記コンデンサ68又は70を接続すること、第1の半導体スイッチ34のスイッチング損失の低減や電流遮断耐量の向上を図ることができる。

【0101】

特に、電流遮断耐量の向上は、パルス電源の大容量化につながる。つまり、インダクタ32の励磁インダクタンスに蓄積されるエネルギーは、 $1/2 \times (\text{励磁インダクタンス}) \times (\text{第1の半導体スイッチ34の遮断電流})^2$ で決まることから、第1の半導体スイッチ34の遮断電流が電源の出力容量に大きく影響するからである。

【0102】

また、第1の半導体スイッチ34が高速に、もしくは大電流を遮断した場合に、インダクタ32の励磁インダクタンスには大きなサージ電圧（パルス出力）が第1の半導体スイッチ34に加わる。当然、電圧定格以上の電圧が第1の半導体スイッチ34に印加されると該第1の半導体スイッチ34に悪影響を与えるおそれがあるが、上述したようにコンデンサ68又は70を接続すること、前記サージ電圧を抑えることができ、第1の半導体スイッチ34の信頼性の向上を図ることができる。

【0103】

また、使用する第1の半導体スイッチ34によっては、ターンオフ時の電圧上昇率（ $dV/dt$ ）をあまり高くできない場合がある。上述のように第1の半導体スイッチ34に対して並列にコンデンサ68又は70を接続すること、使用する第1の半導体スイッチ34の許容可能なレベルの電圧上昇率（ $dV/dt$ ）、例えば1kV/ $\mu$ S以上まで、前記コンデンサ68又は70の容量で調整することができ、設計の自由度を広げることができる。

【0104】

なお、前記コンデンサ68又は70を接続した場合には、コンデンサ68又は70に残ったエネルギーの多くは直流電源部12に回生されることから、前記コンデンサ68又は70を接続することによる効率低下は少ない。

【0105】

次に、第8の実施の形態に係る高電圧パルス発生回路10Hについて図13を参照しながら説明する。

【0106】

この第8の実施の形態に係る高電圧パルス発生回路10Hは、上述した第4の実施の形態に係る高電圧パルス発生回路10D（図5参照）とほぼ同様の構成を有するが、図13に

10

20

30

40

50

示すように、負荷 20 と並列にコンデンサ 76 が接続されている点で異なる。

【0107】

この場合も、第 1 の半導体スイッチ 34 がターンオフすることによって、インダクタ 32 の励磁インダクタンスに流れていた電流がインダクタ 32 を介して負荷 20 に転流することになるが、負荷 20 に並列にコンデンサ 76 を接続することで、励磁インダクタンスに流れている電流が、第 1 の半導体スイッチ 34 での電流遮断動作後において、負荷 20 に転流しやすくなる。その結果、上述した第 6 及び第 7 の実施の形態に係る高電圧パルス発生回路 10 F 及び 10 G と同様に、第 1 の半導体スイッチ 34 の小型化やスイッチング損失の低減や電流遮断耐量の向上を図ることができ、パルス電源の大容量化にもつながる。

【0108】

また、第 1 の半導体スイッチ 34 が高速に、もしくは大電流を遮断した場合に、インダクタ 32 の励磁インダクタンスには大きなサージ電圧（パルス出力）が第 1 の半導体スイッチ 34 に加わる。しかし、負荷 20 に並列にコンデンサ 76 を接続することで、インダクタ 32 の励磁インダクタンスに蓄積されたエネルギーを吸収でき、励磁インダクタンスに発生するサージ電圧を抑制することができる。

【0109】

また、この場合も、コンデンサ 76 に残ったエネルギーの多くは、直流電源部 12 に回生されることから、前記コンデンサ 76 を接続することによる効率低下は少ない。

【0110】

但し、負荷 20 に並列にコンデンサ 76 を接続することは、パルス出力のパルス幅、パルス電圧の立ち上がりなどに大きく影響するため、仕様に合ったコンデンサ 76 のセッティングが望ましい。

【0111】

次に、第 9 の実施の形態に係る高電圧パルス発生回路 10 I について図 14 を参照しながら説明する。

【0112】

この第 9 の実施の形態に係る高電圧パルス発生回路 10 I は、上述した第 1 の実施の形態に係る高電圧パルス発生回路 10 A（図 1 参照）とほぼ同様の構成を有するが、第 1 の半導体スイッチ 34 のゲート端子 G とインダクタ 32 の他端 42 との間に接続された素子が、ダイオード 36 の代わりに抵抗 78 とした点で異なる。

【0113】

この場合、パワー MOSFET 26 をオンさせたときに、第 1 の半導体スイッチ 34 をより確実にターンオンさせることができる。特に、第 1 の半導体スイッチ 34 を電流制御形のデバイスで構成した場合、ゲートに電流を流し込まないとターンオンしないが、上述のように抵抗 78 を接続することで、第 1 の半導体スイッチ 34 を確実にターンオンさせることができる。

【0114】

なお、上述の抵抗 78 を用いた構成においては、直流電源部 12 で使用する電源電圧を高電圧とした場合においても低コストで構成することができる。つまり、第 1 の半導体スイッチ 34 のゲート端子 G とインダクタ 32 の他端 42 との間にダイオード 36 を接続した場合は、直流電源部 12 で使用する電源電圧として高電圧を使用したいとき、ダイオード 36 の耐圧の問題上、複数個のダイオードを直列に接続するか、耐圧が高いダイオード（一般に高価である）が必要であるが、抵抗 78 であれば、比較的 low コストで済む。

【0115】

このように、第 1 ～第 9 の実施の形態に係る高電圧パルス発生回路 10 A ～ 10 I は、従来の高電圧パルス発生回路 100 並びに提案例に係る高電圧パルス発生回路 118 と比較して、高電圧が印加される半導体スイッチとして 1 個の第 1 の半導体スイッチ 34 のみでよく、しかも、該第 1 の半導体スイッチ 34 のゲート駆動には通常使用される電子回路によるゲート駆動回路を必要としないことが大きな利点である。

【0116】

10

20

30

40

50

また、第1～第9の実施の形態に係る高電圧パルス発生回路10A～10Iは、高電圧が発生又は供給される部分は、第1の半導体スイッチ34のアノード端子Aとインダクタ32の一端44のみであり、他の回路要素は全て低電圧仕様の回路部品でよい。

【0117】

例えば、自動車の排ガスのパルス放電によるプラズマ分解のような場合には、自動車のバッテリーである42V程度の直流電源からでも動作可能であり、部品の電圧定格も数10Vあれば十分である。特に、図15に示す従来の高電圧パルス発生回路100では直流電源としてキャパシタ充電装置102を必要とし、通常この装置は非常に高価である。

【0118】

従って、第1～第9の実施の形態に係る高電圧パルス発生回路10A～10Iは、有害ガスの分解のためのプラズマ発生装置等、極めて短時間で急峻に立ち上がり、高い電圧上昇率( $dV/dt$ )を有するパルスを必要とするものに好適に利用できる。

【0119】

なお、本発明に係る高電圧パルス発生回路は、上述の実施の形態に限らず、この発明の要旨を逸脱することなく、種々の構成を採り得ることは勿論である。

【0120】

【発明の効果】

以上説明したように、本発明に係る高電圧パルス発生回路によれば、高電圧が印加される半導体スイッチを複数個使用することなく、簡単な回路構成で、急峻な立ち上がり時間と極めて狭いパルス幅を有する高電圧パルスを供給することが可能となる。

【図面の簡単な説明】

【図1】第1の実施の形態に係る高電圧パルス発生回路を示す図である。

【図2】図2A～図2Eは第1の実施の形態に係る高電圧パルス発生回路の各部の電圧および電流の動作波形を説明する図である。

【図3】第2の実施の形態に係る高電圧パルス発生回路を示す図である。

【図4】第3の実施の形態に係る高電圧パルス発生回路を示す図である。

【図5】第4の実施の形態に係る高電圧パルス発生回路を示す図である。

【図6】インダクタの励磁インダクタンスに流れていた電流がインダクタを介して負荷に転流する状態を示す説明図である。

【図7】エネルギーの回生動作を示す説明図である。

【図8】第5の実施の形態に係る高電圧パルス発生回路を示す図である。

【図9】第6の実施の形態に係る高電圧パルス発生回路を示す図である。

【図10】第7の実施の形態に係る高電圧パルス発生回路を示す図である。

【図11】第1の半導体スイッチに流れていた電流がコンデンサに転流する状態を示す説明図である。

【図12】図12Aはコンデンサを接続しない場合とコンデンサを接続した場合における第1の半導体スイッチのアノード-カソード間電圧の変化の違いを示す特性図であり、図12Bはスイッチング損失の違いを示す特性図である。

【図13】第8の実施の形態に係る高電圧パルス発生回路を示す図である。

【図14】第9の実施の形態に係る高電圧パルス発生回路を示す図である。

【図15】従来技術に係る高電圧パルス発生回路を示す図である。

【図16】提案例に係る高電圧パルス発生回路を示す図である。

【符号の説明】

10A～10I	高電圧パルス発生回路	12	直流電源部
14	第2の半導体スイッチ	20	負荷
22	直流電源	32	インダクタ
33	1次巻線	34	第1の半導体スイッチ
36	ダイオード	38	2次巻線
50	放電ギャップ	52、64	ダイオード
68、70、76	コンデンサ	78	抵抗

10

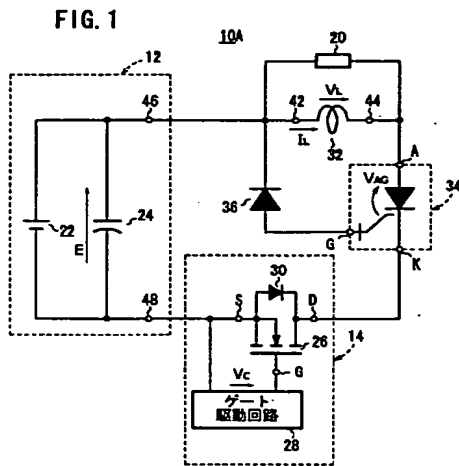
20

30

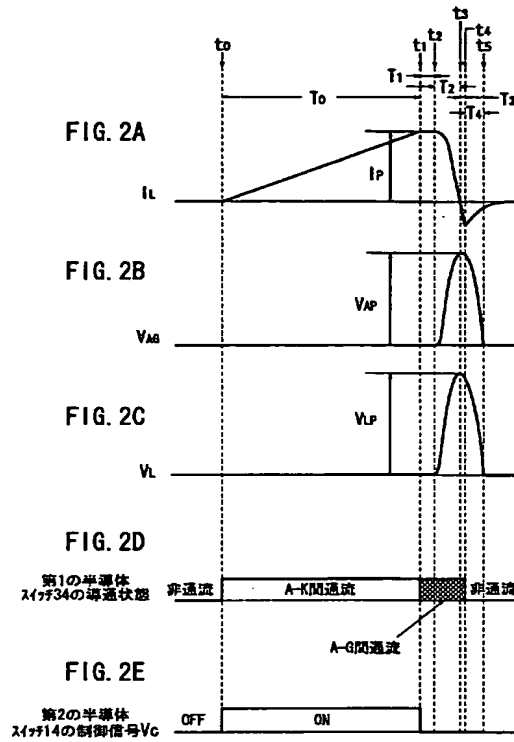
40

50

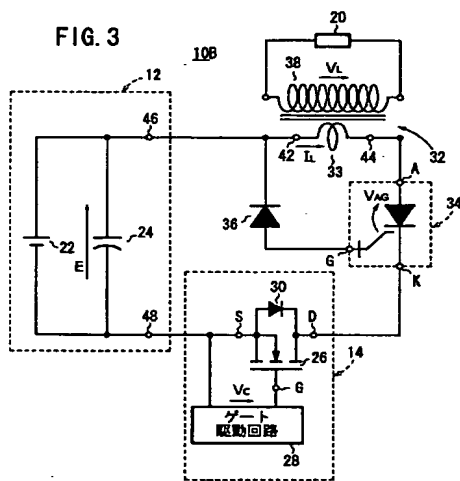
【図1】



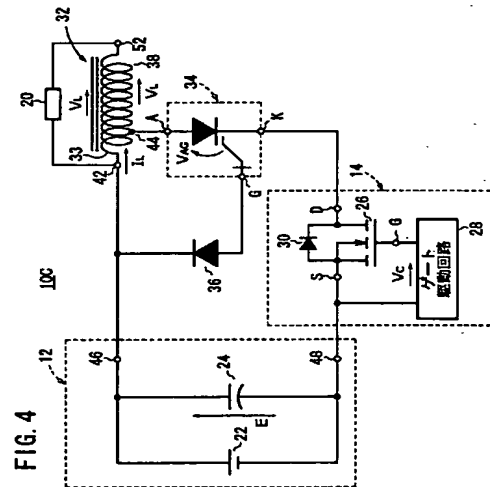
【図2】



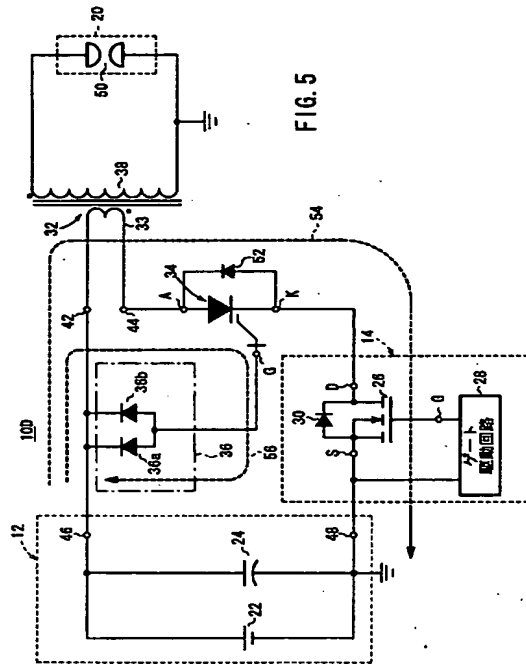
【図3】



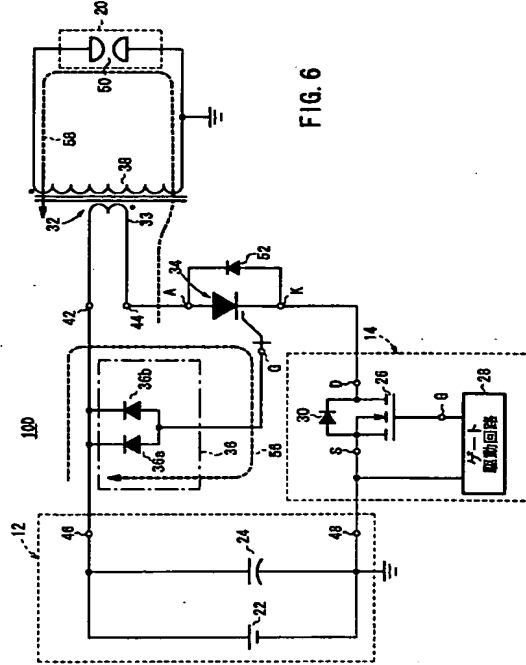
【図4】



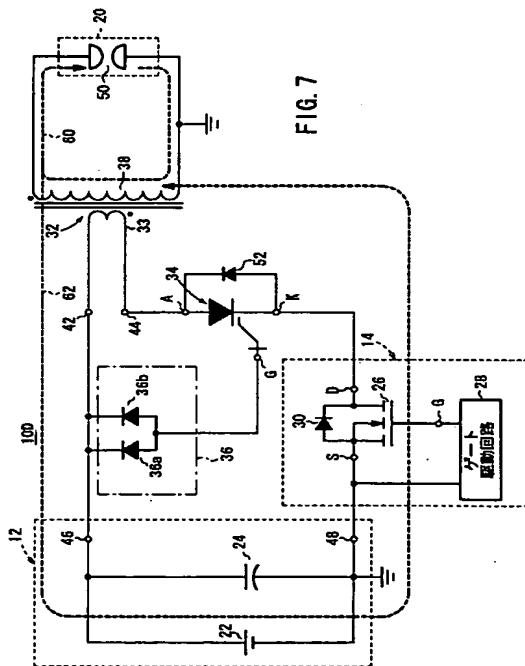
【 5 】



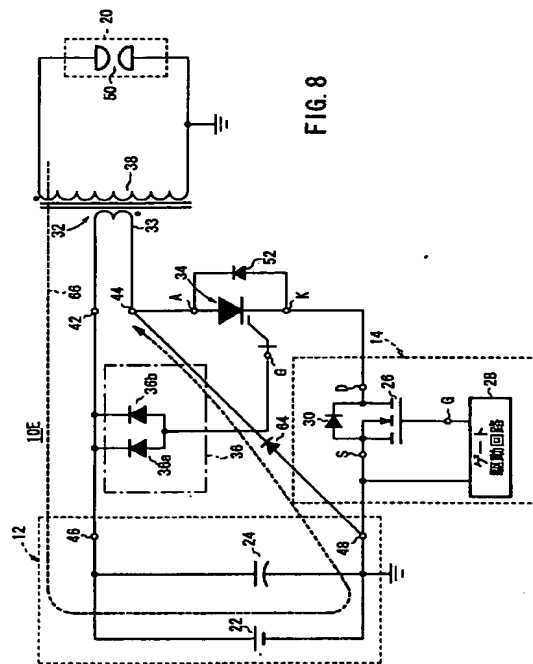
【 6 】



【圖 7】



【 8 】







---

フロントページの続き

Fターム(参考) 5H790 BA00 BB03 BB08 CC01 DD06 EA01 EA02 EA03 EA07 EA13  
EA16  
5J050 AA02 AA32 AA49 CC01 DD12